

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takehiro HASEGAWA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR MEMORY DEVICE INCLUDING MOS TRANSISTORS EACH HAVING A FLOATING GATE AND A CONTROL GATE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-122811	April 25, 2003

Certified copies of the corresponding Convention Application(s)

- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月25日

出 願 番 号

Application Number:

特願2003-122811

[ST.10/C]:

[JP 2003-122811]

出 願 人

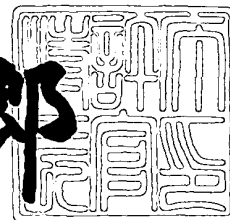
Applicant(s):

株式会社東芝

2003年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040834

【書類名】 特許願

【整理番号】 A000301613

【提出日】 平成15年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 不揮発性半導体記憶装置

【請求項の数】 26

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 長谷川 武裕

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

 【識別番号】 100088683

 【弁理士】

 【氏名又は名称】 中村 誠

【選任した代理人】

 【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 電荷蓄積層と制御ゲートとを備える第 1 MOS トランジスタと、電流経路の一端が前記第 1 MOS トランジスタの電流経路の一端に接続された第 2 MOS トランジスタとを含む複数のメモリセルと、

前記メモリセルがマトリクス状に配置され、且つ、列方向で隣接するメモリセル同士が、前記第 1 MOS トランジスタの電流経路の他端同士、または前記第 2 MOS トランジスタの電流経路の他端同士を共有するように配置されたメモリセルアレイと、

同一列にある前記メモリセルの前記第 1 MOS トランジスタの前記電流経路の他端を共通接続するビット線と、

同一行にある前記メモリセルの前記第 1 MOS トランジスタの制御ゲートが共通接続されて形成されたワード線と、

同一行にある前記メモリセルの前記第 2 MOS トランジスタのゲートが共通接続されて形成されたセレクトゲート線と、

前記ビット線のいずれかを選択するカラムデコーダと、

前記ワード線のいずれかを選択する第 1 ロウデコーダと、

前記セレクトゲート線のいずれかを選択する第 2 ロウデコーダと、

前記セレクトゲート線毎に設けられ、前記メモリセルの略中央部を通過するようにして行方向に沿って形成され、対応する前記セレクトゲート線に電氣的に接続され、且つ前記第 2 ロウデコーダが前記セレクトゲート線を選択するためのロウ選択信号を伝達する第 1 金属配線層と

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 1 金属配線層は、前記セレクトゲート線の中央部と、前記ワード線の中央部との間の領域の上方に形成される

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記第 2 MOS トランジスタのゲートに接続される第 1 コンタクトプラグと、

前記第 1 コンタクトプラグ毎に設けられ、前記第 1 コンタクトプラグに電氣的に接続される第 2 金属配線層と、

前記第 2 金属配線層上において、前記第 1 金属配線層と接続されるようにして、前記セレクトゲート線の中央部と前記ワード線の中央部との間の領域の上方に形成された第 2 コンタクトプラグとを更に備える

ことを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 4】 前記第 2 金属配線層は、対応する前記第 1 コンタクトプラグに接続される前記第 2 MOS トランジスタのゲートの上方領域から、該第 2 MOS トランジスタに接続される前記第 1 MOS トランジスタの制御ゲートの上方領域にかけて延設されている

ことを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】 複数の前記メモリセルの前記第 2 MOS トランジスタの前記電流経路の他端を共通接続するソース線を更に備え、

前記ソース線は、同一行にある複数の前記メモリセルの前記第 2 MOS トランジスタの前記電流経路の他端を共通接続する第 1 配線領域を含む

ことを特徴とする請求項 1 乃至 4 いずれか 1 項記載の不揮発性半導体記憶装置

【請求項 6】 前記ソース線は、各行に対応して形成された複数の前記第 1 配線領域を列方向で接続する第 2 配線領域を更に含む

ことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】 前記ソース線より上のレベルに列方向に沿って形成され、複数の第 3 コンタクトプラグによって前記ソース線と接続された第 3 金属配線層を更に備える

ことを特徴とする請求項 5 または 6 記載の不揮発性半導体記憶装置。

【請求項 8】 前記メモリセルアレイは、それぞれが複数の前記メモリセル列を含む複数の第 1 領域と、

隣接する前記第 1 領域間に設けられ、前記セレクトゲート線と前記第 2 金属配線層とが接続される第 2 領域と

を含み、前記第 2 金属配線層及び前記第 1、第 2 コンタクトプラグは、前記第

2 領域内に形成される

ことを特徴とする請求項 3 または 4 記載の不揮発性半導体記憶装置。

【請求項 9】 前記第 1 領域内において、前記第 1 MOS トランジスタの前記電流経路の他端に接続された第 4 コンタクトプラグと、

前記第 4 コンタクトプラグ毎に設けられ、該第 4 コンタクトプラグに接続された第 4 金属配線層と、

前記第 4 金属配線層と前記ビット線とを接続する第 5 コンタクトプラグと

を更に備え、前記第 2 金属配線層は、前記第 4 金属配線層と行方向の幅が略同一である

ことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 10】 複数の前記メモリセルの前記第 2 MOS トランジスタの前記電流経路の他端を共通接続するソース線と、

前記ソース線より上のレベルに列方向に沿って形成され、複数の第 3 コンタクトプラグによって前記ソース線と接続された第 3 金属配線層と

を更に備え、前記ソース線は、同一行にある複数の前記メモリセルの前記第 2 MOS トランジスタの前記電流経路の他端を共通接続する第 1 配線領域と、各行に対応して形成された複数の前記第 1 配線領域を列方向で接続する第 2 配線領域を含み、

前記第 1 領域は、1 列の前記メモリセル列を含み、且つ前記ソース線と前記第 3 金属配線層とが接続される第 3 領域を含み、

前記ソース線の前記第 2 配線領域及び前記第 3 金属配線層は、前記第 3 領域内に形成される

ことを特徴とする請求項 8 または 9 記載の不揮発性半導体記憶装置。

【請求項 11】 前記第 3 金属配線層は、前記ビット線と同一レベルに位置する配線によって形成される

ことを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 12】 前記第 3 金属配線層は、前記ビット線と同一幅で形成される

ことを特徴とする請求項 10 または 11 記載の不揮発性半導体記憶装置。

【請求項 1 3】 前記第 2 領域を挟んで隣接する前記ソース線の第 1 配線領域は行方向で互いに分離され、

前記第 2 領域を挟んで隣接する前記第 1 金属配線層は、該第 2 領域を介して行方向で共通接続されている

ことを特徴とする請求項 1 0 記載の不揮発性半導体記憶装置。

【請求項 1 4】 電荷蓄積層と制御ゲートとを備える第 1 MOS トランジスタを含む複数のメモリセルと、

前記メモリセルがマトリクス状に配置されたメモリセルアレイと、

同一列にある前記メモリセルの前記第 1 MOS トランジスタのドレイン領域を共通接続するビット線と、

同一行にある前記メモリセルの前記第 1 MOS トランジスタの制御ゲートが共通接続されて形成されたワード線と、

複数の前記メモリセルのソース領域を電氣的に共通接続するソース線と、

前記ビット線のいずれかを選択するカラムデコーダと、

前記ワード線のいずれかを選択する第 1 ロウデコーダと

を具備し、前記ソース線は、同一行にある複数の前記メモリセルの前記第 1 MOS トランジスタのソース領域を電氣的に共通接続する第 1 配線領域と、

各行に対応して形成された複数の前記第 1 配線領域を列方向で接続する第 2 配線領域とを備える

ことを特徴とする不揮発性半導体記憶装置。

【請求項 1 5】 前記ソース線より上のレベルに列方向に沿って形成され、複数の第 1 コンタクトプラグによって、前記ソース線の前記第 1、第 2 配線領域と接続された第 1 金属配線層を更に備える

ことを特徴とする請求項 1 4 記載の不揮発性半導体記憶装置。

【請求項 1 6】 前記第 1 金属配線層は、前記ビット線と同一レベルに位置する配線によって形成される

ことを特徴とする請求項 1 5 記載の不揮発性半導体記憶装置。

【請求項 1 7】 前記第 1 金属配線層は、前記ビット線と同一幅で形成される

ことを特徴とする請求項 1 5 または 1 6 記載の不揮発性半導体記憶装置。

【請求項 1 8】 前記メモリセルアレイは、それぞれが複数のメモリセル列を含む複数の第 1 領域と、

隣接する前記第 1 領域間に設けられ、1 列の前記メモリセル列を含み、前記ソース線と前記第 1 金属配線層とが接続される第 2 領域と

を含み、前記ソース線の前記第 2 配線領域及び前記第 1 金属配線層は、前記第 2 領域内に形成される

ことを特徴とする請求項 1 5 または 1 6 記載の不揮発性半導体記憶装置。

【請求項 1 9】 前記メモリセルは、前記第 1 MOS トランジスタのソース領域にドレインが接続された第 2 MOS トランジスタを更に含み、

前記ソース線は、複数の前記メモリセルにおける前記第 2 MOS トランジスタのソース領域を共通接続し、

同一行にある前記メモリセルの前記第 2 MOS トランジスタのゲートが共通接続されて形成されたセレクトゲート線と、

前記セレクトゲート線のいずれかを選択する第 2 ロウデコーダと、

前記セレクトゲート線毎に設けられ、対応する前記セレクトゲート線に電氣的に接続され、且つ前記第 2 ロウデコーダが前記セレクトゲート線を選択するためのロウ選択信号を伝達する第 2 金属配線層とを更に備える

ことを特徴とする請求項 1 4 乃至 1 8 いずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 2 0】 前記第 2 MOS トランジスタのゲートに接続される第 2 コンタクトプラグと、

前記第 2 コンタクトプラグ毎に設けられ、前記第 2 コンタクトプラグに電氣的に接続される第 3 金属配線層と、

前記第 3 金属配線層上に、前記第 2 金属配線層と接続されるようにして形成された第 3 コンタクトプラグとを更に備える

ことを特徴とする請求項 1 9 記載の不揮発性半導体記憶装置。

【請求項 2 1】 前記メモリセルは、前記第 1 MOS トランジスタのソース領域にドレインが接続された第 2 MOS トランジスタを更に含み、

前記ソース線は、複数の前記メモリセルにおける前記第2 MOS トランジスタのソース領域を共通接続し、

同一行にある前記メモリセルの前記第2 MOS トランジスタのゲートが共通接続されて形成されたセレクトゲート線と、

前記セレクトゲート線のいずれかを選択する第2 ロウデコーダと、

前記セレクトゲート線毎に設けられ、対応する前記セレクトゲート線に電氣的に接続され、且つ前記第2 ロウデコーダが前記セレクトゲート線を選択するためのロウ選択信号を伝達する第2 金属配線層と、

前記第2 MOS トランジスタのゲートに接続される第2 コンタクトプラグと、

前記第2 コンタクトプラグ毎に設けられ、前記第2 コンタクトプラグに電氣的に接続される第3 金属配線層と、

前記第3 金属配線層上に、前記第2 金属配線層と接続されるようにして形成された第3 コンタクトプラグとを更に備え、

前記第1 領域は、前記セレクトゲート線と前記第2 金属配線層とが接続される第3 領域を含み、

前記第3 金属配線層及び前記第2、第3 コンタクトプラグは、前記第3 領域内に形成される

ことを特徴とする請求項 1 8 記載の不揮発性半導体記憶装置。

【請求項 2 2】 前記第3 金属配線層は、対応する前記第2 コンタクトプラグに接続される前記第2 MOS トランジスタのゲートの上方領域から、該第2 MOS トランジスタに接続される前記第1 MOS トランジスタの制御ゲートの上方領域にかけて延設されている

ことを特徴とする請求項 2 0 または 2 1 記載の不揮発性半導体記憶装置。

【請求項 2 3】 前記第3 コンタクトプラグは、前記第2 金属配線層上において、前記セレクトゲート線の中央部と、前記ワード線の中央部との間の領域の上方に形成される

ことを特徴とする請求項 2 0 乃至 2 2 いずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 2 4】 前記第1 領域内において、前記第1 MOS トランジスタの

ドレイン領域に接続された第 4 コンタクトプラグと、

前記第 4 コンタクトプラグ毎に設けられ、該第 4 コンタクトプラグに接続された第 4 金属配線層と、

前記第 4 金属配線層と前記ビット線とを接続する第 5 コンタクトプラグと

を更に備え、前記第 3 金属配線層は、前記第 4 金属配線層と行方向の幅が略同一である

ことを特徴とする請求項 1 8 または 2 1 記載の不揮発性半導体記憶装置。

【請求項 2 5】 前記メモリセルアレイにおいて、マトリクス状に配置された前記メモリセルは、列方向で隣接するメモリセル同士で、前記第 1 MOS トランジスタのドレイン領域同士、または前記第 2 MOS トランジスタのソース領域同士を共有するように配置されており、

前記第 2 金属配線層は、前記セレクトゲート線の中央部と前記ワード線の中央部との間の領域の上方に形成され、前記メモリセルの略中央部を通過する

ことを特徴とする請求項 1 9 乃至 2 3 いずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 2 6】 前記第 2 領域を挟んで隣接する前記ソース線の第 1 配線領域は、行方向で互いに分離されて、

前記第 2 領域を挟んで隣接する前記第 2 金属配線層は、該第 2 領域を介して行方向で共通接続されている

ことを特徴とする請求項 1 9 乃至 2 3 いずれか 1 項記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、不揮発性半導体記憶装置に関する。例えば、フローティングゲートとコントロールゲートとを有する MOS トランジスタを含む不揮発性半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

従来から、不揮発性半導体メモリとして、NOR型フラッシュメモリやNAND型フラッシュメモリが知られており、広く使用されている。

【0003】

近年では、NOR型フラッシュメモリとNAND型フラッシュメモリの両者の長所を兼ね備えたフラッシュメモリが提案されている（例えば非特許文献1参照）。このフラッシュメモリは、2つのMOSトランジスタを含むメモリセルを備えている。このようなメモリセルにおいては、不揮発性記憶部として機能する一方のMOSトランジスタが、コントロールゲートとフローティングゲートとを備えた構造を有し、ビット線に接続されている。他方のMOSトランジスタは、ソース線に接続され、メモリセルの選択用として用いられる。

【0004】

【非特許文献1】

Wei-Hua Liu 著、"A 2-Transistor Source-select(2TS) Flash EEPROM for 1.8V-Only Application"、Non-Volatile Semiconductor Memory Workshop 4.1、1997年

【0005】

【発明が解決しようとする課題】

しかし、上記従来のフラッシュメモリであると、セレクトゲート線やソース線の配線抵抗が高いこと等により、動作信頼性が十分ではないという問題があった。

【0006】

この発明は、上記事情に鑑みてなされたもので、その目的は、動作信頼性を向上できる不揮発性半導体記憶装置を提供することにある。

【0007】

【課題を解決するための手段】

この発明の第1の態様に係る不揮発性半導体記憶装置は、電荷蓄積層と制御ゲートとを備える第1MOSトランジスタと、電流経路の一端が前記第1MOSトランジスタの電流経路の一端に接続された第2MOSトランジスタとを含む複数のメモリセルと、前記メモリセルがマトリクス状に配置され、且つ、列方向で隣

接するメモリセル同士が、前記第1 MOSトランジスタの電流経路の他端同士、または前記第2 MOSトランジスタの電流経路の他端同士を共有するように配置されたメモリセルアレイと、同一列にある前記メモリセルの前記第1 MOSトランジスタの前記電流経路の他端を共通接続するビット線と、同一行にある前記メモリセルの前記第1 MOSトランジスタの制御ゲートが共通接続されて形成されたワード線と、同一行にある前記メモリセルの前記第2 MOSトランジスタのゲートが共通接続されて形成されたセレクトゲート線と、前記ビット線のいずれかを選択するカラムデコーダと、前記ワード線のいずれかを選択する第1 ロウデコーダと、前記セレクトゲート線のいずれかを選択する第2 ロウデコーダと、前記セレクトゲート線毎に設けられ、前記メモリセルの略中央部を通過するようにして行方向に沿って形成され、対応する前記セレクトゲート線に電氣的に接続され、且つ前記第2 ロウデコーダが前記セレクトゲート線を選択するためのロウ選択信号を伝達する第1 金属配線層とを具備することを特徴としている。

【0008】

上記構成の不揮発性半導体記憶装置によれば、セレクトゲート線のシャント配線として機能する第1 金属配線層が、メモリセルの略中央部を通過している。すなわち、第1 金属配線層は等間隔で配置される。従って、隣接する第1 金属配線層間のカップリング容量を低減出来る。従って、第2 MOSトランジスタの動作速度を向上でき、その結果、不揮発性半導体記憶装置の動作信頼性を向上できる。

【0009】

また、この発明の第2の態様に係る不揮発性半導体記憶装置は、電荷蓄積層と制御ゲートとを備える第1 MOSトランジスタを含む複数のメモリセルと、前記メモリセルがマトリクス状に配置されたメモリセルアレイと、同一列にある前記メモリセルの前記第1 MOSトランジスタのドレイン領域を共通接続するビット線と、同一行にある前記メモリセルの前記第1 MOSトランジスタの制御ゲートが共通接続されて形成されたワード線と、複数の前記メモリセルのソース領域を電氣的に共通接続するソース線と、前記ビット線のいずれかを選択するカラムデコーダと、前記ワード線のいずれかを選択する第1 ロウデコーダとを具備し、前

記ソース線は、同一行にある複数の前記メモリセルの前記第1MOSトランジスタのソース領域を共通接続する第1配線領域と、各行に対応して形成された複数の前記第1配線領域を列方向で接続する第2配線領域とを備えることを特徴としている。

【0010】

上記構成の不揮発性半導体記憶装置によれば、ソース線は第1配線領域及び第2配線領域を含んでいる。すなわち、ソース線は列方向に沿って連続的に形成される。従って、読み出し電流は行線方向だけでなく列線方向にも流れることが出来、ソース線の抵抗値を低減出来る。従って、読み出し時においてソース線の電位が上昇することを抑制でき、不揮発性半導体記憶装置の動作信頼性を向上できる。

【0011】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0012】

この発明の第1の実施形態に係る不揮発性半導体記憶装置について図1を用いて説明する。図1は、本実施形態に係るフラッシュメモリのブロック図である。

【0013】

図示するように、フラッシュメモリ10は、メモリセルアレイ11、カラムデコーダ12、センスアンプ13、第1ロウデコーダ14、第2ロウデコーダ15、及びソース線ドライバ16を備えている。

【0014】

メモリセルアレイ11は、マトリクス状に配置された複数個($(m+1) \times (n+1)$ 個、但し m 、 n は自然数)のメモリセルMC00~MCmnを有している。メモリセルMCの各々は、互いに電流経路が直列接続されたメモリセルトランジスタMTと選択トランジスタSTとを有している。メモリセルトランジスタMTは、半導体基板上にゲート絶縁膜を介在して形成されたフローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成されたコントロ

ールゲートとを有する積層ゲート構造を備えている。そして、メモリセルトランジスタMTのソース領域が選択トランジスタSTのドレイン領域に接続されている。また、列方向で隣接するメモリセルMC同士は、選択トランジスタSTのソース領域、またはメモリセルトランジスタMTのドレイン領域を共有している。

【 0 0 1 5 】

同一行にあるメモリセルMCのメモリセルトランジスタMTの制御ゲートは、ワード線WL0～WLmのいずれかに共通接続され、同一行にあるメモリセルの選択トランジスタSTのゲートは、セレクトゲート線SG0～SGmのいずれかに接続されている。また、同一列にあるメモリセルMCのメモリセルトランジスタMTのドレインは、ビット線BL0～BLnのいずれかに共通接続されている。そして、メモリセルMCの選択トランジスタSTのソースはソース線SLに共通接続され、ソース線ドライバ16に接続されている。

【 0 0 1 6 】

カラムデコーダ12は、カラムアドレス信号をデコードして、カラムアドレスデコード信号を得る。そして、カラムアドレスデコード信号に基づいて、ビット線BL0～BLnのいずれかを選択する。

【 0 0 1 7 】

第1、第2ロウデコーダ14、15は、ロウアドレス信号をデコードして、ロウアドレスデコード信号を得る。そして、第1ロウデコーダ14は、書き込み時においてワード線WL0～WLmのいずれかを選択する。第2ロウデコーダ15は、読み出し時において、セレクトゲート線SG0～SGmのいずれかを選択する。

【 0 0 1 8 】

センスアンプ13は、第2ロウデコーダ15及びカラムデコーダ12によって選択されたメモリセルMCから読み出したデータを増幅する。

【 0 0 1 9 】

ソース線ドライバ16は、読み出し時において、ソース線SLに電圧を供給する。

【 0 0 2 0 】

次に、メモリセルアレイ 1 1 の平面パターンについて、図 2 乃至図 5 を用いて説明する。図 2 はメモリセルアレイ 1 1 の一部領域の平面図である。また図 3 乃至図 5 は、素子領域、ワード線、及びセレクトゲート線に加えて、それぞれ第 1 層目乃至第 3 層目の金属配線層の平面パターンを示した平面図であり、図示する領域は図 2 に対応している。

【 0 0 2 1 】

図 2 乃至図 5 に示すように、半導体基板 1 0 0 中に、第 1 方向に沿ったストライプ形状の素子領域 A A が、第 1 方向に直交する第 2 方向に沿って複数形成されている。そして、複数の素子領域 A A を跨ぐようにして、第 2 方向に沿ったストライプ形状のワード線 W L 0 ~ W L m 及びセレクトゲート線 S G 0 ~ S G m が形成されている。そして、ワード線 W L 0 ~ W L m と素子領域 A A とが交差する領域には、メモリセルトランジスタ M T が形成され、セレクトゲート線 S G 0 ~ S G m と素子領域 A A とが交差する領域には、選択トランジスタ S T が形成されている。また、ワード線 W L 0 ~ W L m と素子領域 A A とが交差する領域には、メモリセルトランジスタ M T 毎に分離されたフローティングゲート（図示せず）が形成されている。

【 0 0 2 2 】

なお、前述の通り、隣接するメモリセル M C 同士は、セレクトゲート線 S G またはワード線 W L 同士が隣り合っている。なお、4 列の素子領域 A A 群を、第 1 素子領域群 A A G 1 と呼ぶことにする。そして、隣接する第 1 素子領域群 A A G 1 間において、1 列の素子領域 A A が形成されている領域をソースコンタクト領域 S C A と呼ぶことにする。第 1 素子領域群 A A G 1 内に形成されるメモリセル M C は、データの記憶用として用いられる。しかし、ソースコンタクト領域 S C A 内のメモリセル M C は、ダミーのメモリセルであって、データの記憶用としては用いられない。また、2 列の第 1 素子領域群 A A G 1 毎に、スティッチ領域 S A 1 が形成されている。本実施例ではスティッチ領域 S A 1 内には素子領域 A A は形成されない。またスティッチ領域 S A 1 の幅は、1 本の素子領域 A A と、各素子領域 A A 間に形成された素子分離領域 S T I とを加えた幅に等しい。なおスティッチ領域 S A 1 上にも、ワード線 W L 0 ~ W L m 及びセレクトゲート線 S G

0～SG_mは形成されている。しかし、ステッチ領域SA1内に存在するワード線WL0～WL_m及びセレクトゲート線SG0～SG_mは、実質的にメモリセルを構成するものではない。また、ステッチ領域SA1において、セレクトゲート線SG0～SG_mは、その一部が幅広に形成されている。特に、隣接するセレクトゲート線側に凸となるように形成されている。この領域を、以後シャント領域SA2と呼ぶことにする。

【0023】

次に、図2及び図3を用いて、ワード線WL0～WL_m及びセレクトゲート線SG0～SG_mの上に存在する1層目の金属配線層のパターンについて説明する。なお図3においては斜線を付した領域が、1層目の金属配線層である。

【0024】

図示するように、隣接するセレクトゲート線SG間（SG0～SG1間、SG2～SG3間、…）には、それぞれ第2方向に沿ったストライプ形状の金属配線層20が形成されている。金属配線層20は、ソース線の一部となるものである。金属配線層20の長手方向（第2方向）は、ステッチ領域SA1で分離されている。すなわち、第2素子領域群AAG2毎に独立した形状を有している。そして金属配線層20は、選択トランジスタSTのソース領域とコンタクトプラグCP1により接続されている。本実施例では、ソースコンタクト領域SCA内ではコンタクトプラグCP1は形成されておらず、金属配線層20とソースコンタクト領域SCAにおけるメモリセルのソース領域とは電氣的に接続されない。また、第1素子領域群AAG1内のメモリセルトランジスタMTのドレイン領域上には、島状のパターンの金属配線層21が形成されている。各金属配線層21は互いに分離されており、対応するメモリセルトランジスタMTのドレイン領域とコンタクトプラグCP2により接続されている。従って、第2方向に沿って並んだ複数の金属配線層21群と、第2方向に沿ったストライプ形状の金属配線層20とが、第1方向に沿って交互に配置された格好となっている。更に、ステッチ領域SA1においても、島状のパターンの金属配線層22が形成されている。金属配線層22は、1組のワード線及びセレクトゲート線毎（WL0とSG1の1組、WL1とSG1の1組、…毎）に設けられている。そして、対応するセレ

クトゲート線SGのシャント領域SA2と、コンタクトプラグCP3により接続されている。金属配線層22は、第2方向に沿った長さが、金属配線層21と略同一である。そして第1方向に沿っては、対応するセレクトゲート線SGの上部から対応するワード線WLの上部にかけて延設されている。但し、隣接する金属配線層22同士は互いに分離されている。

【0025】

次に、図2及び図4を用いて、1層目の金属配線層20～22の上に存在する2層目の金属配線層のパターンについて説明する。なお図4においては斜線を付した領域が、2層目の金属配線層である。

【0026】

図示するように、第1素子領域群AAG1内においては、素子領域AA上に、第1方向に沿ったストライプ形状の金属配線層23が形成されている。金属配線層23は、ビット線BL0～BLnとして機能するものであり、コンタクトプラグCP4によって、第1層目の金属配線層21と接続されている。また、ソースコンタクト領域SCAにおいても、金属配線層23と同様のパターンの金属配線層24が形成されている。従って、金属配線層24の線幅は、金属配線層23と同一である。そして金属配線層24は、ソース線SLの一部として機能するものであり、コンタクトプラグCP5によって、第1層目の金属配線層20と接続されている。すなわち、第1方向で分離されている複数の金属配線層20が、金属配線層24によって共通接続されている。また、ステッチ領域SA1においては、島状のパターンの金属配線層25が形成されている。金属配線層25は、1組のワード線及びセレクトゲート線毎、すなわち第1層目の金属配線層22毎に設けられている。そして、金属配線層25は、金属配線層22と略同一のパターンを有しており、金属配線層22とオーバーラップしている。また、金属配線層25は、コンタクトプラグCP6によって、金属配線層22と接続されている。なお図2及び図4では、コンタクトプラグ25はワード線WLの直上に位置しているが、金属配線層22と25とを接続できる位置で有れば限定されるものではない。

【0027】

次に、図2及び図5を用いて、2層目の金属配線層23～25の上に存在する3層目の金属配線層のパターンについて説明する。なお図5においては斜線を付した領域が3層目の金属配線層である。

【0028】

図示するように、第2方向に沿ったストライプ形状の金属配線層26が形成されている。金属配線層26は、1組のワード線及びセレクトゲート線毎(WL0とSG1の1組、WL1とSG1の1組、…毎)に設けられている。そして、対応するセレクトゲート線に電氣的に接続されている第2層目の金属配線層25と、コンタクトプラグCP7によって接続されている。すなわち、各金属配線層25は、セレクトゲート線SG0～SGmのシャント配線として機能する。また、金属配線層25は、ワード線WLの中央部と、該ワード線WLに対応するセレクトゲート線SGの中央部との間の領域に形成されている。換言すれば、メモリセルMCの中央部を通過する。従って、複数の金属配線層26は、第1方向に沿った互いの間隔が、等間隔となるよう配置されている。そして、金属配線層26は、第2方向で隣接する第2素子領域群AAG2間で共通接続されている。

【0029】

次に、上記構成のフラッシュメモリの断面構造について説明する。まず、第2素子領域群AAG2の断面構造について、図6乃至図8を用いて説明する。図6は図2におけるX1-X1'線方向に沿った断面図であり、図7は図2におけるY1-Y1'線に沿った断面図であり、図8は図2におけるY2-Y2'線に沿った断面図である。

【0030】

図示するように、半導体基板100中には、素子分離領域STIが形成されている。そして、素子分離領域STIによって周囲を取り囲まれた領域が、素子領域AAとなっている。半導体基板100の素子領域AA上には、ゲート絶縁膜30が形成され、ゲート絶縁膜30上に、メモリセルトランジスタMT及び選択トランジスタSTのゲート電極が形成されている。メモリセルトランジスタMT及び選択トランジスタSTのゲート電極は、ゲート絶縁膜30上に形成された多結晶シリコン層31、多結晶シリコン層31上に形成されたゲート間絶縁膜32、

及びゲート間絶縁膜 3 2 上に形成された多結晶シリコン層 3 3 を有している。ゲート間絶縁膜 3 2 は、例えばシリコン酸化膜、またはシリコン酸化膜とシリコン窒化膜との積層構造である ON 膜、NO 膜、または ONO 膜で形成される。多結晶シリコン層 3 1 は、図 7 に示すように、隣接する素子領域 AA 間で互いに分離されており、メモリセルトランジスタ MT においてはフローティングゲートとして機能する。また、多結晶シリコン層 3 3 はコントロールゲート（ワード線 WL）として機能する。そして、隣接する素子領域 AA 間で共通接続されている。選択トランジスタ ST においては、シャント領域でゲート間絶縁膜 3 2 の一部が除去されており、多結晶シリコン層 3 1、3 3 は電氣的に接続されている。そして、多結晶シリコン層 3 1、3 3 が、セレクトゲート線 SG として機能する。選択トランジスタ ST においても、多結晶シリコン層 3 3 と多結晶シリコン層 3 1 は、隣接する素子領域 AA 間で共通接続されている。すなわち、メモリセルトランジスタ MT の様に、フローティングゲートがセルごとに分離されているのではなく全て繋がっている。そして隣接するゲート電極間に位置する半導体基板 1 0 0 表面内には、不純物拡散層 3 4 が形成されている。不純物拡散層 3 4 は、隣接するトランジスタ同士で共用されている。

【 0 0 3 1 】

前述の通り、メモリセルトランジスタ MT と選択トランジスタ ST とを含むメモリセル MC は、次のような関係を有して形成されている。すなわち、隣接するメモリセル MC、MC は、互いに選択トランジスタ ST 同士、またはメモリセルトランジスタ MT 同士が隣り合っている。そして、隣り合ったもの同士は不純物拡散層 3 4 を共有している。従って、隣接する 2 つのメモリセル MC、MC は、選択トランジスタ ST 同士が隣り合う場合には、2 つの選択トランジスタ ST、ST が共有する不純物拡散層 3 4 を中心にして、対称に配置されている。逆に、メモリセルトランジスタ MT 同士が隣り合う場合には、2 つのメモリセルトランジスタ MT、MT が共有する不純物拡散層 3 4 を中心にして、対称に配置されている。

【 0 0 3 2 】

そして、半導体基板 1 0 0 上には、上記メモリセルトランジスタ MT、及び選

択トランジスタSTを被覆するようにして、層間絶縁膜35が形成されている。層間絶縁膜35中には、2つの選択トランジスタST、STが共有する不純物拡散層（ソース領域）34に達するコンタクトプラグCP1が形成されている。そして層間絶縁膜35上には、コンタクトプラグCP1に接続される金属配線層20が形成されている。金属配線層20は、ソース線SLとして機能する。また、層間絶縁膜35中には、2つのメモリセルトランジスタMT、MTが共有する不純物拡散層（ドレイン領域）34に達するコンタクトプラグCP2が形成されている。そして層間絶縁膜35上には、コンタクトプラグCP2に接続される金属配線層21が形成されている。

【0033】

層間絶縁膜35上には、金属配線層20、21を被覆するようにして、層間絶縁膜36が形成されている。そして、層間絶縁膜36中には、金属配線層21に達するコンタクトプラグCP4が形成されている（図7参照）。そして、層間絶縁膜36上には、複数のコンタクトプラグCP4に共通に接続された金属配線層23が形成されている（図7参照）。金属配線層23は、ビット線BLとして機能する。また層間絶縁膜36内には金属配線層20に達するコンタクトプラグCP5が形成されている（図8参照、ソースコンタクト領域SCA）。そして、層間絶縁膜36上には、複数のコンタクトプラグCP5をビット線方向で共通接続する金属配線層24が形成されている（図8参照、ソースコンタクト領域SCA）。金属配線層24は、ソース線SLの一部として機能する。

【0034】

層間絶縁膜36上には、金属配線層23、24を被覆するようにして、層間絶縁膜37が形成されている。そして、層間絶縁膜37上には金属配線層26が形成されている。そして、層間絶縁膜37上には、金属配線層26を被覆するようにして、層間絶縁膜38が形成されている。

【0035】

次に、ステッチ領域SAの断面構造について、図6及び図9を用いて説明する。図9は図2におけるY3-Y3'線に沿った断面図である。

【0036】

図示するように、半導体基板100中には素子分離領域STIが形成されている。そして、素子分離領域STI上に、フローティングゲート及びコントロールゲート、並びに選択トランジスタのゲート電極が形成されている。半導体基板100上に形成された層間絶縁膜35中には、選択トランジスタの多結晶シリコン層33に達するコンタクトホールCP3が形成されている。そして、層間絶縁膜35上には、金属配線層22が形成されている。金属配線層22は、対応する選択トランジスタのゲート電極上部を被覆し、且つ、当該選択トランジスタに対応するメモリセルトランジスタの積層ゲート電極上部を被覆するように延設されている（図9参照）。層間絶縁膜35上には、金属配線層22を被覆するようにして層間絶縁膜36が形成されている。層間絶縁膜36中には、金属配線層22に達するコンタクトプラグCP6が形成され、層間絶縁膜36上にはコンタクトプラグCP6と接続される金属配線層25が形成されている。金属配線層25も金属配線層22と同様に、対応する選択トランジスタのゲート電極上部を被覆し、且つ、当該選択トランジスタに対応するメモリセルトランジスタの積層ゲート電極上部を被覆するように延設されている（図9参照）。層間絶縁膜36上には層間絶縁膜37が形成され、層間絶縁膜37中には金属配線層25に達するコンタクトプラグCP7が形成されている。図9に示すように、コンタクトプラグCP7は、メモリセルの中央部に位置している。換言すれば、メモリセルトランジスタMTの積層ゲートの中央部と、選択トランジスタSTのゲート電極の中央部との間の領域上に形成されている。層間絶縁膜37上には、金属配線層26が形成されている。図9に示されるように、複数の金属配線層26は、層間絶縁膜37上に等間隔に配置されている。そして、層間絶縁膜37上に、金属配線層26を被覆するようにして層間絶縁膜38が形成されている。

【0037】

次に、上記構成のフラッシュメモリの動作について説明する。

＜書き込み動作＞

データの書き込みは、いずれかのワード線に接続された全てのメモリセルに対して一括して行われる。そして、メモリセルトランジスタMTのフローティングゲートに電子を注入するか否かで“0”データ、“1”データを書き分ける。電

子のフローティングゲートへの注入は、Fowler-Nordheim (FN) tunnelingによって行われる。

【 0 0 3 8 】

以下、書き込み動作の詳細について、図 1 及び図 1 0 を用いて説明する。図 1 0 は、書き込み時のメモリセルアレイ 1 1 の様子を示す回路図である。

【 0 0 3 9 】

まず、図 1 において、図示せぬ I/O 端子から書き込みデータ（“1”、“0”）が入力される。そして、該書き込みデータが、ビット線毎に設けられたラッチ回路（図示せず）のそれぞれに入力される。ラッチ回路に“1”データが格納されると、ビット線には 0 V が与えられ、逆に“0”データが格納されると、ビット線には VBB（- 6 V）が与えられる。

【 0 0 4 0 】

そして、第 1 ロウデコーダ 1 4 が、ワード線 WL 0 ~ WL m のいずれかを選択する。そして、選択ワード線に Vpp（例えば 1 0 V）を与える。また、第 2 ロウデコーダ 1 5 は、セレクトゲート線 SG 0 ~ SG m を VBB（- 6 V）とする。またメモリセルの基板も VBB（- 6 V）とする。従って、全ての選択トランジスタ ST はオフ状態となる。従って、選択トランジスタ ST とソース線 SL とは電氣的に分離される。

【 0 0 4 1 】

上記の結果、“1”データまたは“0”データに対応する電位が、ビット線 BL 0 ~ BL n を介してメモリセルトランジスタ MT のドレイン領域に与えられる。すると、選択ワード線 WL には Vpp（1 0 V）が印加され、“1”データを書き込むべきメモリセルトランジスタ MT のドレイン領域には 0 V が印加され、“0”データを書き込むべきメモリセルトランジスタ MT のドレイン領域には VBB（- 6 V）が印加される。従って、“1”データを書き込むべきメモリセルトランジスタ MT では、ゲート・ドレイン間の電位差（1 0 V）が十分ではないので、フローティングゲートに電子は注入されず、メモリセルトランジスタ MT は負の閾値を保持する。他方、“0”データを書き込むべきメモリセルトランジスタ MT では、ゲート・ドレイン間の電位差（1 6 V）が大きいため、フローティン

ゲートに電子がFN tunnelingによって注入される。その結果、メモリセルトランジスタMTの閾値は正に変化する。

【0042】

例えば図10は、ワード線WL0に接続されたメモリセルにデータを書き込み場合について示している。まず、ワード線WL0が第1ロウデコーダ14によって選択され、ワード線WL0にV_{pp}が印加される。その他のワード線WL0～WL_mは0Vである。また全てのセレクトゲート線SG0～SG_mはV_{BB}(-6V)である。その状態で、ビット線BL0～BL_nの各々に、0VまたはV_{BB}が印加される。すると、ワード線WL0に接続され、且つV_{BB}が印加されているビット線に接続されているメモリセルMCでは、フローティングゲートへ電子が注入される。他方、ワード線WL1～WL_mに接続されているメモリセルMCでは、ワード線WL1～WL_mの電位が0Vであるので、ビット線BL0～BL_nの電位に関わらず、フローティングゲートへの電子の注入は行われぬ。以上のようにして、1ページのメモリセルMCに一括してデータが書き込まれる。

【0043】

<読み出し動作>

データの読み出しは、いずれかのワード線に接続された複数のメモリセルから一括して読み出す事ができる。

【0044】

以下、読み出し動作の詳細について、図1及び図11を用いて説明する。図11は、読み出し時のメモリセルアレイ11の様子を示す回路図である。

【0045】

まず図1において、第2ロウデコーダ15が、セレクトゲート線SG0～SG_mのいずれかを選択する。選択セレクトゲート線には、“H”レベル(例えばV_{cc})が与えられる。非選択セレクトゲート線は全て“L”レベル(例えば0V)である。従って、選択セレクトゲート線に接続された選択トランジスタSTはオン状態となり、非選択セレクトゲート線に接続された選択トランジスタSTはオフ状態となる。従って、選択メモリセル内の選択トランジスタSTは、ソース線SLと電氣的に接続される。また第1ロウデコーダ14は、全てのワード線WL

0～WL_mを“L”レベル（0V）とする。また、ソース線ドライバ16は、ソース線SLの電位を0Vとする。

【0046】

そして、ビット線BL₀～BL_nのそれぞれに、例えば1V程度の電圧が与えられる。すると、“1”データが書き込まれているメモリセルMCのメモリセルトランジスタMTは、閾値電圧が負であるから、オン状態となる。従って、選択セレクトゲート線に接続されているメモリセルMCでは、ビット線からメモリセルトランジスタMT及び選択トランジスタSTの電流経路を介して、ソース線SLに向かって電流が流れる。他方、“0”データが書き込まれているメモリセルMCのメモリセルトランジスタMTは、閾値電圧が正であるから、オフ状態である。従って、ビット線からソース線に向かって電流は流れない。

【0047】

以上の結果、ビット線BL₀～BL_nの電位が変化し、その変化量をセンスアンプ13が増幅することによって読み出し動作が行われる。

【0048】

例えば図11は、ワード線WL₀に接続されたメモリセルからデータを読み出す場合について示している。まず、セレクトゲート線SG₀が第2ロウデコーダ15によって選択され、セレクトゲート線SG₀にV_{cc}が印加される。その他のセレクトゲート線SG₀～SG_mは0Vである。また全てのワード線WL₀～WL_mも0Vである。その状態で、ビット線BL₀～BL_nの各々に、1V程度の電圧が印加される。すると、セレクトゲート線SG₀に接続され、且つ“1”データが書き込まれているメモリセルMCに接続されているビット線には電流が流れて、電位は低下する。他方、“0”データが書き込まれているメモリセルMCに接続されているビット線には電流が流れず、電位は不変である。以上のようにして、1ページのメモリセルMCから一括してデータが読み出される。

【0049】

<消去動作>

データの消去は、ウェル領域を共用する全てのメモリセルについて一括して行われる。従って、図1の例であると、メモリセルアレイ11に含まれる全てのメ

メモリセルが同時に消去される。

【 0 0 5 0 】

図 1 において、第 1 ロウデコーダ 1 4 は、全てのワード線 $WL_0 \sim WL_m$ の電位を V_{BB} ($-6V$) とする。また、半導体基板（ウェル領域）の電位は V_{pp} ($10V$) とされる。その結果、メモリセル MC のメモリセルトランジスタのフローティングゲートから電子が FN tunneling によって半導体基板に引き抜かれる。その結果、全てのメモリセル MC の閾値電圧が負となり、データが消去される。

【 0 0 5 1 】

上記のように、この発明の第 1 の実施形態に係るフラッシュメモリであると、以下の効果が得られる。

【 0 0 5 2 】

(1) 読み出し動作信頼性を向上できる①。

本実施形態に係る構成であると、セレクトゲート線 SG のシャント配線として金属配線層 2 6 が形成されている。通常、選択トランジスタ ST のゲート電極は多結晶シリコンなどによって形成される。多結晶シリコンは、抵抗値が比較的高いため、ロウ選択信号の伝達に時間がかかる。従って、従来構成では選択トランジスタの動作が遅く、その結果フラッシュメモリの読み出し動作が遅くなっていた。

【 0 0 5 3 】

しかし本実施形態であると、金属材料を用いた、低抵抗の金属配線層 2 6 によってロウ選択信号を伝達する。従って、第 2 ロウデコーダ 1 5 から出力されるロウ選択信号が迅速に選択トランジスタ ST のゲート電極に達する。従って、選択トランジスタの動作速度を向上出来、その結果、フラッシュメモリの読み出し動作信頼性を向上できる。

【 0 0 5 4 】

(2) 読み出し動作信頼性を向上できる②

本実施形態に係る構成であると、図 5、図 7 ～ 図 8 に示すように、セレクトゲート線のシャント配線として機能する金属配線層 2 6 は、等間隔で配置されている。従って、隣接する金属配線層 2 6 間のカップリング容量を低減出来る。従っ

て、選択トランジスタ S T の動作速度を向上でき、その結果、フラッシュメモリの読み出し動作信頼性を向上できる。

【 0 0 5 5 】

(3) 読み出し動作信頼性を向上できる③

本実施形態に係る構成であると、図 3 及び図 4 に示すように、ビット線方向で分離された複数の金属配線層 2 0 (ソース線の一部) を、その上層の金属配線層 2 4 (ソース線の一部) によって共通接続している。従って、金属配線層 2 0 は、ビット線方向で全てが電氣的に接続されるので、ソース線 S L の抵抗値を低減することが出来る。

【 0 0 5 6 】

読み出し時においてソース線 S L には 0 V が印加される。この点、従来のようにソース線の抵抗値が高いと、ソース線の電位が上昇してしまう。その結果、メモリセルに大きな読み出し電流を流すことが困難であった。

【 0 0 5 7 】

しかし本実施形態で有れば、ソース線の抵抗が低いので、ソース線の電位の上昇を抑制できる。従って、大きな読み出し電流を流すことが出来る。その結果、フラッシュメモリの読み出し動作信頼性を向上できる。

【 0 0 5 8 】

(4) 製造プロセスが容易となる①。

本実施形態では、セレクトゲート線のシャント配線 2 6 とセレクトゲート線とを接続するスティッチ領域 S A 1 を設けている。そしてスティッチ領域 S A 1 において、金属配線層 2 2、2 5、及びコンタクトプラグ C P 3、C P 6、C P 7 を介して、シャント配線 2 6 とセレクトゲート線 S G とを接続している。

【 0 0 5 9 】

本実施形態では、セレクトゲート線は、メモリセルトランジスタの積層ゲートと同様に、下層の多結晶シリコン膜 3 1、ゲート間絶縁膜 3 2 及び上層の多結晶シリコン膜 3 3 を含んでいる。そして、一部領域のゲート間絶縁膜 3 2 が除去されている。従って、セレクトゲート線にコンタクトを取る際に、多結晶シリコン膜 3 3 を除去する必要がない。このような場合、セレクトゲート線のシャント配

線 2 6 とセレクトゲート線 S G とのコンタクト領域を、非常に小さくできる。すなわち、金属配線層 2 2、2 5 は、非常に小さな面積を有する孤立パターンとなる。より具体的には、金属配線層 2 2、2 5 は、セレクトゲート線へのコンタクト面積と、配線との接続を加味したリソグラフィ時のマージンを合わせた面積で足りる。

【 0 0 6 0 】

しかし、小さな面積の孤立パターンで形成された金属配線層は、配線加工を行う際等に飛んでしまったりすることが多く、プロセスの不安定を招き、歩留まり低下の原因となる。

【 0 0 6 1 】

この点、本実施形態に係る構成であると、図 3、図 4 に示すように、金属配線層 2 2、2 5 は、セレクトゲート線上から、メモリセルトランジスタのコントロールゲート上にかけて延設されている。すなわち、孤立パターンとなる金属配線層 2 2、2 5 を、ビット線方向に延ばすことによって、その面積を増加させている。従って、加工時に金属配線層 2 2、2 5 が失われることを抑制でき、製造プロセス信頼性を向上できる。

【 0 0 6 2 】

また本実施形態に係る構成であると、金属配線層 2 2、2 5 をの面積を増加させるために、ワード線方向ではなくビット線方向に金属配線層 2 2、2 5 を延ばしている。従って、メモリセルアレイ 1 1 の面積が増大することを防止出来る。

【 0 0 6 3 】

更に、本効果は、本実施形態のように隣接するメモリセル M C がビット線コンタクトを共有する場合に顕著に得られる。それは、金属配線層 2 2、2 5 をビット線方向で且つ隣接するコントロールゲート方向に延ばしているからである。従って、隣接する金属配線層 2 2 同士、または金属配線層 2 5 同士がショートしてしまうことを抑制できる。以上の結果、製造プロセスを容易に出来る。

【 0 0 6 4 】

(5) 製造プロセスが容易となる②

本実施形態であると、ソースコンタクト領域 S C A にもダミーのメモリセルが

形成されている。このダミーのメモリセルは、第 1 素子領域群 A A 1 内のメモリセル M C と同一のパターンを有している。すなわち、ソースコンタクト領域 S C A に及び第 1 素子領域群 A A 1 においては、一定の規則性が保たれている。また、スティッチ領域 S A 1 内においても、セレクトゲート線及びワード線が形成されている。すなわち、スティッチ領域 S A 1 においても、メモリセル M C と同様のパターンの多結晶シリコン膜 3 1、ゲート間絶縁膜 3 2、及び多結晶シリコン膜 3 3 が形成されている。従って、メモリセルアレイ内においては、一様な規則性が保たれている。その規則性は、ソースコンタクト領域 S C A やスティッチ領域 S A 1 で乱されることが無い。従って、メモリセルアレイ内における各層の加工を、不要な面積増加を招くことなく容易にすることが出来、製造プロセスの容易化に寄与する。

【 0 0 6 5 】

(6) 製造プロセスが容易となる③

本実施形態であると、複数の金属配線層 2 0 を接続する金属配線層 2 4 は、ビット線と同じレベルに形成され、且つビット線と同一のパターンを有している。従って、ビット線が形成されるレベルの金属配線層の規則性は、ソースコンタクト領域においても乱されることがない。そして、金属配線層 2 3、2 4 を同一のリソグラフィ工程でパターンニングすることが出来る。従って、ソース線となる金属配線層 2 4 の加工を、不要な面積増加を招くことなく容易とすることが出来、且つ、容易に金属配線層 2 0 をビット線方向で接続出来る。

【 0 0 6 6 】

次に、この発明の第 2 の実施形態に係る不揮発性半導体記憶装置について説明する。本実施形態は、上記第 1 の実施形態において、ソース線 S L のパターンを変えたものである。本実施形態に係るフラッシュメモリのブロック構成は図 1 と同様であるので説明は省略する。図 1 2 は、本実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図である。また図 1 3 はソース線に着目した図面であり、図 1 2 において金属配線層 2 6 の図示を廃し、ソース線 S L の領域に斜線を付したものである。

【 0 0 6 7 】

図示するように、ソースコンタクト領域 S C A において、隣接する金属配線層 2 0 を接続する金属配線層 4 0 が形成されている。この金属配線層 2 0 は、金属配線層 2 0 と同一のレベル（第 1 層目）に形成されている。すなわち、ソース線 S L は、金属配線層 2 0、4 0 を含んでいる。更に換言すれば、ソース線 S L は梯子状の形状を有している。

【 0 0 6 8 】

なお、本実施形態では上記第 1 の実施形態における金属配線層 2 4 は廃され、金属配線層 2 6 は、セレクトゲート線 S G の直上に位置している。

【 0 0 6 9 】

次に、本実施形態に係るフラッシュメモリの断面構造について説明する。図 1 4 は、図 1 2 における X 2 - X 2' 線、図 1 5 は図 1 2 における Y 4 - Y 4' 線、図 1 6 は図 1 2 における Y 5 - Y 5' 線に沿った断面図である。

【 0 0 7 0 】

図示するように、ソースコンタクト領域 S C A では、隣接する金属配線層 2 0 間に、金属配線層 2 0 と接続される金属配線層 4 0 が形成されている。すなわち、隣接する 2 本のワード線間の領域上の層間絶縁膜 3 5 上に、金属配線層 4 0 が形成されている。そして、セレクトゲート線のシャント配線として機能する金属配線層 2 6 は、選択トランジスタのゲート電極の直上に位置している。その他の構成は、上記第 1 の実施形態と同様であるので説明は省略する。また、図 1 2 における Y 6 - Y 6' 線に沿ったスティッチ領域の断面構造は、第 1 の実施形態で説明した図 9 の構造において、金属配線層 2 6 を、選択トランジスタのゲート電極の直上に移動させた以外は同様であるので説明は省略する。

【 0 0 7 1 】

上記本実施形態に係る構成であると、上記第 1 の実施形態で説明した（１）、（４）、（５）の効果が得られる。更に、下記（７）の効果が得られる。

【 0 0 7 2 】

（７）読み出し動作信頼性を向上できる④

本実施形態に係る構成であると、図 1 2、図 1 3 に示すように、ソース線 S L は金属配線層 2 0、4 0 を含んでいる。そして、同一行のコンタクトプラグ C P

1 毎に設けられた複数の金属配線層 2 0 は、金属配線層 4 0 によって接続されている。すなわち、ソース線 S L はビット線方向で分離されていない。従って、読み出し電流はワード線方向だけでなくビット線方向にも流れることが出来、ソース線 S L の抵抗値を低減出来る。

【 0 0 7 3 】

従って、読み出し時においてソース線 S L の電位が上昇することを抑制でき、フラッシュメモリの読み出し信頼性を向上できる。

【 0 0 7 4 】

次に、この発明の第 3 の実施形態に係る不揮発性半導体記憶装置について説明する。本実施形態は、上記第 2 の実施形態において、第 1 の実施形態で説明した金属配線層 2 4 を更に設けたものである。従って、本実施形態に係るフラッシュメモリのブロック構成は図 1 と同様であるので、説明は省略する。図 1 7 は、本実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図である。また図 1 8 はソース線及び金属配線層 2 4 に着目した図面であり、図 1 7 において金属配線層 2 6 の図示を廃し、ソース線 S L 及び金属配線層 2 4 の領域に斜線を付したものである。

【 0 0 7 5 】

図示するように、本実施形態に係るフラッシュメモリは、上記第 2 の実施形態で説明した図 1 3 において、ソースコンタクト領域 S C A に金属配線層 2 4 を形成したものである。金属配線層 2 4 は、ビット線となる金属配線層 2 3 と同一のレベル（第 2 層目）に形成され、金属配線層 2 3 と同一の線幅を有している。そしてソースコンタクト領域 S C A において、金属配線層 2 0、4 0 と金属配線層 2 4 とは、コンタクトプラグ C P 5 によって接続されている。すなわち、ソース線 S L は、金属配線層 2 0、4 0、2 4 を含んでいる。その他の構成は、上記第 2 の実施形態と同様である。

【 0 0 7 6 】

次に、本実施形態に係るフラッシュメモリの断面構造について説明する。図 1 9 は、図 1 7 における X 3 - X 3' 線、図 2 0 は図 1 7 における Y 7 - Y 7' 線、図 2 1 は図 1 7 における Y 8 - Y 8' 線に沿った断面図である。

【 0 0 7 7 】

図示するように、ソースコンタクト領域 S C A では、金属配線層 2 0、4 0 上に、金属配線層 2 4 が形成されている。すなわち、ソースコンタクト領域 S C A における層間絶縁膜 3 6 上に、金属配線層 2 4 が形成されている。そして、層間絶縁膜 3 6 中に形成されたコンタクトプラグ C P 5 によって、両者は接続されている。またコンタクトプラグ C P 5 は、コンタクトプラグ C P 1 と同一行、及びコンタクトプラグ C P 2、C P 4 と同一行にあるように形成されている。しかし、コンタクトプラグ C P 5 は金属配線層 2 0、4 0 のいずれの位置に形成されても良い。その他の構成は、上記第 2 の実施形態と同様であるので説明は省略する。また、図 1 7 における Y 9 - Y 9' 線に沿ったスティッチ領域の断面構造は、第 1 の実施形態で説明した図 9 の構造において、金属配線層 2 6 を、選択トランジスタのゲート電極の直上に移動させた以外は同様であるので説明は省略する。

【 0 0 7 8 】

上記本実施形態に係る構成であると、上記第 1 の実施形態で説明した (1)、(3)、(4)、(5)、(6) 及び上記第 2 の実施形態で説明した (7) の効果が得られる。更に下記 (8) の効果が得られる。

(8) 読み出し動作信頼性を向上できる⑤

本実施形態に係る構成であると、図 1 7、図 1 8 に示すように、ソース線 S L は第 1 層目の金属配線層及び第 2 層目の金属配線層を含んでいる。そして、第 1 層目と第 2 層目の金属配線層同士は、コンタクトプラグ C P 5 によって接続されている。この点は、上記第 1 の実施形態と同様である。しかし本実施形態に係る構成では、第 1 層目の金属配線層は、金属配線層 2 0、4 0 を含んでいる。従って、ソースコンタクト領域 S C A においては、ソース線がビット線方向に沿ったストライプ形状に形成されている。従って、第 1 層目の金属配線層 2 0、4 0 と第 2 層目の金属配線層 2 4 とを接続するコンタクトプラグ C P 5 は、ソースコンタクト領域 S C A のいたる場所に形成することが出来る。図 1 7、図 1 8 に示す例であると、4 本のワード線及びセレクトゲート線当たり、コンタクトプラグ C P 5 の数は 5 つであるが、その数は適宜増やすことが出来る。

【 0 0 7 9 】

この点、コンタクトプラグは、電流の集中によって劣化し易いという特性がある。従って、ソース線を第 1 層目の金属配線層と第 2 層目の金属配線層で形成した場合、両者の間を接続するコンタクトプラグの数が少ないと、コンタクトプラグに電流が集中して、コンタクトプラグが破壊される虞がある。そして、コンタクトプラグが破壊されることは、ソース線 S L の高抵抗化に繋がる。

【 0 0 8 0 】

しかし本実施形態に係る構成では、コンタクトプラグ C P 5 の数を大幅に増やすことが可能となり、コンタクトプラグ C P 5 が破壊されることを防止できる。従って、ソース線 S L の抵抗の低抵抗化が図られ、読み出し動作の信頼性を向上できる。

【 0 0 8 1 】

次に、この発明の第 4 の実施形態に係る不揮発性半導体記憶装置について説明する。本実施形態は、上記第 1、第 2 の実施形態を組み合わせたものである。本実施形態に係るフラッシュメモリのブロック構成は、図 1 と同様であるので、説明は省略する。図 2 2 は、本実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図である。なお図 2 2 においては、最上のレベルにある金属配線層 2 6 に斜線を付している。また図 2 3 は、図 2 2 における Y 1 1 - Y 1 1' 線に沿った断面図である。なお、図 2 2 における X 4 - X 4' 線、Y 1 0 - Y 1 0' 線、Y 1 2 - Y 1 2' 線に沿った断面構造は、それぞれ第 2 の実施形態で説明した図 1 4 に示す構成、第 1 の実施形態で説明した図 7 においてコンタクトプラグ C P 5 を廃した構成、及び図 9 に示す構成と同様であるので図示は省略する。

【 0 0 8 2 】

図示するように、上記第 2 の実施形態で説明した図 1 2、図 1 3 に示す構成において、金属配線層 2 6 が、第 1 の実施形態と同様にメモリセル M C の中央部を通過している。言い換えれば、ワード線の中央部と、当該ワード線に対応するセレクトゲート線の中央部との間の領域に、金属配線層 2 6 が位置している。

【 0 0 8 3 】

本実施形態に係る構成であると、上記第 1 の実施形態で説明した (1)、(2)、(4)、(5)、及び第 2 の実施形態で説明した (7) の効果が得られる。

【 0 0 8 4 】

次に、この発明の第 5 の実施形態に係る不揮発性半導体記憶装置について説明する。本実施形態は、上記第 1、第 3 の実施形態を組み合わせたものである。本実施形態に係るフラッシュメモリの構成は、図 1 と同様であるので、フラッシュメモリのブロック構成についての説明は省略する。図 2 4 は、本実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図である。なお図 2 4 においては、最上のレベルにある金属配線層 2 6 に斜線を付している。また図 2 5 は、図 2 4 における Y 1 4 - Y 1 4' 線に沿った断面図である。なお、図 2 4 における X 5 - X 5' 線、Y 1 3 - Y 1 3' 線、Y 1 5 - Y 1 5' 線に沿った断面構造は、それぞれ第 3 の実施形態で説明した図 1 9 に示す構成、第 1 の実施形態で説明した図 7 に示す構成、及び図 9 に示す構成と同様であるので図示は省略する。

【 0 0 8 5 】

図示するように、上記第 3 の実施形態で説明した図 1 7、図 1 8 に示す構成において、金属配線層 2 6 が、第 1 の実施形態と同様にメモリセル MC の中央部を通過している。言い換えれば、ワード線の中央部と、当該ワード線に対応するセレクトゲート線の中央部との間の領域に、金属配線層 2 6 が位置している。

【 0 0 8 6 】

本実施形態に係る構成であると、上記第 1 の実施形態で説明した (1) 乃至 (6)、第 2 の実施形態で説明した (7)、及び第 3 の実施形態で説明した (8) の効果が得られる。

【 0 0 8 7 】

次に、この発明の第 6 の実施形態に係る不揮発性半導体記憶装置について、図 2 6 を用いて説明する。図 2 6 は、本実施形態に係る不揮発性半導体記憶装置を含むシステム L S I のブロック図である。

【 0 0 8 8 】

図示するように、システム L S I 5 0 は、ロジック回路領域とメモリ領域とを有している。そして、ロジック回路領域には例えば C P U 5 1 が設けられている。またメモリ領域には、上記第 1 乃至第 5 の実施形態で説明したフラッシュメモリ 1 0、N A N D 型フラッシュメモリ 5 2、及び 1 つのメモリセルが 3 つの M O

Sトランジスタを含むフラッシュメモリ53が設けられている。

【0089】

本実施形態に係る構成であると、フラッシュメモリ10において、上記(1)乃至(8)の効果が得られると共に、(9)システムLSIの製造を簡略化出来る、という効果が得られる。特に、本実施例のメモリセルは、セルの直列トランジスタの数が2個である。従って、メモリセルの電流駆動能力が他のメモリセルより大きい。そのため、フラッシュメモリ10は、高速の読出し用途に向いている。図26に示すようにCPU51と同一チップに搭載した場合は、フラッシュメモリ10をCPU51のファームウェアなどを格納するROMとして使う事ができる。この点、上記第1乃至第5の実施形態に係るフラッシュメモリであると、セレクトゲート線を高速に駆動することが出来、更にソースの配線抵抗を低減している。従って、より高速にフラッシュメモリ10からデータを読み出すことが出来る。そのため、CPU51がRAMなどを介さずに、データを直接読み出す事が出来るようになるため、RAMなどが不要になり、システムLSIを構成した時にも効果が得られる。

【0090】

上記第1乃至第5の実施形態で説明したフラッシュメモリ10は、NAND型フラッシュメモリ52及びフラッシュメモリ53と、同一の製造工程で形成出来る。例えば、不純物拡散層を形成するためのイオン注入工程や、ゲート電極及び金属配線層のパターニング工程等を、3つのフラッシュメモリについて同時に行うことが出来る。この場合、例えば不純物拡散層は、各メモリ間で同一の濃度を有することになる。このように、LSIに設けられる3つのフラッシュメモリを同一工程で形成できる結果、LSIの製造を簡略化出来る。

【0091】

なお、例えばロジック回路領域では、CPU51をSOI基板上に形成し、メモリ領域では、各メモリ10、52、53をバルクのシリコン基板上に形成しても良い。

【0092】

上記のように、この発明の第1乃至第6の実施形態に係る不揮発性半導体記憶

装置であると、フラッシュメモリの動作速度を向上できると共に、製造プロセスを簡単化出来る。すなわち、セレクトゲート線SG0～SGmのシャント配線26が、メモリセルの中央部を通過するように形成される。すなわち、シャント配線26は、等間隔で配置されている。従って、シャント配線26間の容量が低減され、動作速度を向上できる。

【0093】

また、ステッチ領域においてワード線方向で分離された複数の金属配線層20を、金属配線層24によってビット線方向で接続している。従って、ソース線SLの抵抗を小さくでき、読み出し動作信頼性を向上できる。更に、ソース線SLを梯子状に形成することでも、ソース線SLの一部である金属配線層20を、ビット線方向に連続的に形成することが出来る。

【0094】

上記ソース線に関する構成は、上記実施形態で説明したように、セレクトゲート線のシャント配線を用いる場合に、顕著な効果が得られるものである。すなわち、当然ながらシャント配線はいずれかの位置で選択トランジスタのゲート電極とコンタクトを取らなくてはならない。このコンタクト領域が、上記実施形態におけるステッチ領域に相当する。そしてステッチ領域では、選択トランジスタのゲート電極とシャント配線とを接続するためのコンタクトプラグや金属配線層が形成される。従って、ソース線はステッチ領域内を通過することが出来ず、ソース線はステッチ領域で途切れることになる。すなわち、ソース線はステッチ領域間の領域単位で分離される。この場合、ソース線を流れる電流は、ビット線方向の配線を通して流れることになる。すると、ソース線に接続されるコンタクトプラグにおける電流密度が非常に大きくなり、ソース線とのコンタクト信頼性が劣化する。また、ソース線自体の抵抗値も上がるため、読み出し時に、ソース線の電位が上昇するという問題が生ずる。

【0095】

しかし、この発明の実施形態に係る構成であると、金属配線層24を設け、または／且つ、または金属配線層40を設けることで、ソース線をビット線方向に連続的に形成している。従って、セレクトゲート線のシャント配線を用いつつも

、ソース線の電位上昇を抑え、且つソース線コンタクトの信頼性を向上できる。

【 0 0 9 6 】

また上記構成は、各実施形態で説明したように、ビット線にドレインが接続されたメモリセルトランジスタと、ソース線にソースが接続された選択トランジスタとを含むメモリセルを有するフラッシュメモリの場合に顕著な効果が得られる。メモリセルトランジスタは、消去状態の際はその閾値が負であるのでオン状態となりチャンネルが形成される。このため、全てのメモリセルが消去状態の場合、メモリセルトランジスタのチャンネル部分の容量と、メモリセルトランジスタと選択トランジスタの間の拡散層容量がビット線に加わる。従って、同じ規模のメモリセルアレイで比較した場合、ビット線の容量はNOR型フラッシュメモリやNAND型フラッシュメモリに比べて大きくなる。すなわち、読み出し時にソース線に流れる電流量が大きくなる。従って、この発明の実施形態のように、ソース線のコンタクト信頼性を向上し、且つソース線抵抗を低減することは、非常に有効な手段となる。

【 0 0 9 7 】

なお、上記実施形態では、メモリセル4列毎にソースコンタクト領域SCAを設け、メモリセル8列毎にスティッチ領域SA1を設けている。しかし、ソースコンタクト領域SCA及びスティッチ領域を設ける頻度は、メモリセル64列毎、128列毎、または256列毎など、要求される読み出しスピードに応じて変えることが出来る。

【 0 0 9 8 】

更に、上記第1乃至第5の実施形態では、1つのスティッチ領域SA1において、全てのシャント配線26がシャント領域SA2に接続される場合を例に挙げて説明した。しかし、図27に示すようなパターンによりスティッチ領域SA1を形成しても良い。図27は、特にスティッチ領域SA1に着目した平面図であり、ワード線、セレクトゲート線、金属配線層22、26、及びシャント配線26のみを示している。その他の配線パターンは、上記第1乃至第5の実施形態で説明したとおりである。また図28、図29は、図27におけるY16-Y16'線、Y17-Y17'線に沿った断面図である。

【 0 0 9 9 】

図示するように、1 箇所のスティッチ領域 S A 1 では、一部のシャント配線 2 6 のみが、セレクトゲート線のシャント領域 S A 2 と接続されている。より具体的には、ある 1 箇所では偶数アドレスのセレクトゲート線 S G 0、S G 2、S G 4、…のみがシャント配線 2 6 に接続され、隣接する別の箇所では奇数アドレスのセレクトゲート線 S G 1、S G 3、S G 5、…のみがシャント配線 2 6 に接続されている。

【 0 1 0 0 】

このように、セレクトゲート線とシャント配線 2 6 との接続を、偶数アドレスと奇数アドレスと交互に行うことで、スティッチ領域 S A 1 におけるゲートの加工時に余裕を持たせることが出来る。但し、本方法により、セレクトゲート線とシャント配線 2 6 との接続の頻度を、上記第 1 乃至第 5 の実施形態と同程度としようとすると、スティッチ領域 2 6 の数が 2 倍必要となる。従ってチップサイズが大きくなる。しかしながら、本方法であると、スティッチ領域におけるゲート加工が容易となり、製造プロセスが簡単化される。よって、製造歩留まりの向上にも寄与する結果、チップのコストを低減できる。

【 0 1 0 1 】

また、上記第 1 乃至第 5 の実施形態では、スティッチ領域 S A 1 には素子領域 A A を形成しない場合について説明した。しかし、図 3 0 の平面図に示すように、スティッチ領域 S A 1 に素子領域 A A を形成しても良い。なお図 3 0 では、素子領域 A A と、セレクトゲート線及びワード線のみを図示している。

【 0 1 0 2 】

この場合には素子領域 A A 形成時のフォトリソグラフィ工程において、パターンの規則性がスティッチ領域において乱されることがない。従って、スティッチ領域内にコンタクトを形成する際にゲート下へのダメージが無ければ、素子領域 A A を入れておくほうが良い。

【 0 1 0 3 】

更に、図 3 1 に示すように、ソースコンタクト領域 S C A 内にもコンタクトプラグ C P 1 を形成しても良い。図 3 1 は、素子領域 A A、セレクトゲート線、ワ

ード線、及びソース線の平面図である。上記第 1 乃至第 5 の実施形態では、ソースコンタクト領域 S C A 内にはコンタクトプラグ C P 1 を形成しない場合について説明した。しかし、ソースコンタクト領域 S C A 内の素子領域 A A は、他の素子領域 A A と電氣的に分離されているので、ソースコンタクト領域 S C A 内にコンタクトプラグ C P 1 を形成しても構わない。むしろこの場合には、コンタクトプラグ C P 1 の規則性が保たれるため、フォトリソグラフィ工程の信頼性を向上させるには好ましい。

【 0 1 0 4 】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【 0 1 0 5 】

【発明の効果】

以上説明したように、この発明によれば、動作信頼性を向上できる不揮発性半導体記憶装置を提供できる。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施形態に係るフラッシュメモリのブロック図

。

【図 2】 この発明の第 1 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図。

【図 3】 この発明の第 1 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図であり、第 1 層目の金属配線層の配線パターンを示す図。

【図 4】 この発明の第 1 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図であり、第 2 層目の金属配線層の配線パターンを示す図。

【図 5】 この発明の第 1 の実施形態に係るフラッシュメモリの備えるメモ

リセルアレイの平面図であり、第 3 層目の金属配線層の配線パターンを示す図。

【図 6】 図 2 における X 1 - X 1' 線に沿った断面図。

【図 7】 図 2 における Y 1 - Y 1' 線に沿った断面図。

【図 8】 図 2 における Y 2 - Y 2' 線に沿った断面図。

【図 9】 図 2 における Y 3 - Y 3' 線に沿った断面図。

【図 1 0】 この発明の第 1 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの回路図であり、書き込み動作時の様子を示す図。

【図 1 1】 この発明の第 1 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの回路図であり、読み出し動作時の様子を示す図。

【図 1 2】 この発明の第 2 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図。

【図 1 3】 この発明の第 2 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図。

【図 1 4】 図 1 2 における X 2 - X 2' 線に沿った断面図。

【図 1 5】 図 1 2 における Y 4 - Y 4' 線に沿った断面図。

【図 1 6】 図 1 2 における Y 5 - Y 5' 線に沿った断面図。

【図 1 7】 この発明の第 3 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図。

【図 1 8】 この発明の第 3 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図。

【図 1 9】 図 1 7 における X 3 - X 3' 線に沿った断面図。

【図 2 0】 図 1 7 における Y 7 - Y 7' 線に沿った断面図。

【図 2 1】 図 1 7 における Y 8 - Y 8' 線に沿った断面図。

【図 2 2】 この発明の第 4 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図。

【図 2 3】 図 2 2 における Y 1 1 - Y 1 1' 線に沿った断面図。

【図 2 4】 この発明の第 5 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図。

【図 2 5】 図 2 4 における Y 1 4 - Y 1 4' 線に沿った断面図。

【図 2 6】 この発明の第 6 の実施形態に係るフラッシュメモリを備えるシステム L S I のブロック図。

【図 2 7】 この発明の第 1 乃至第 6 の実施形態の第 1 変形例に係るフラッシュメモリの平面図。

【図 2 8】 図 2 7 における Y 1 6 - Y 1 6' 線に沿った断面図。

【図 2 9】 図 2 7 における Y 1 7 - Y 1 7' 線に沿った断面図。

【図 3 0】 この発明の第 1 乃至第 6 の実施形態の第 2 変形例に係るフラッシュメモリの平面図。

【図 3 1】 この発明の第 1 乃至第 6 の実施形態の第 3 変形例に係るフラッシュメモリの平面図。

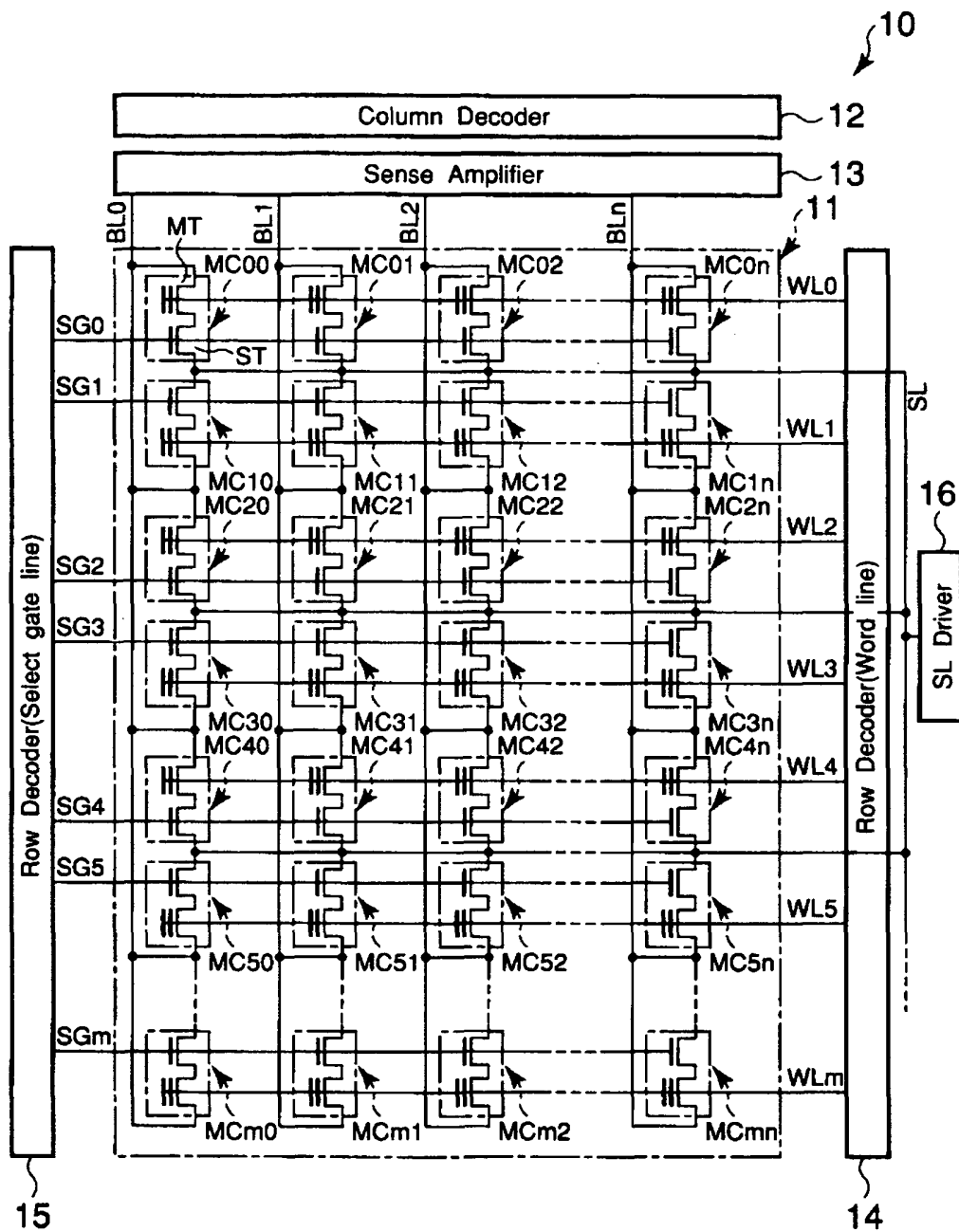
【符号の説明】

1 0 …フラッシュメモリ、1 1 …メモリセルアレイ、1 2 …カラムデコーダ、1 3 …センスアンプ、1 4、1 5 …ロウデコーダ、1 6 …ソース線ドライバ、2 0 ～2 6、4 0 …金属配線層、3 0 …ゲート絶縁膜、3 1、3 3 …多結晶シリコン層、3 2 …ゲート間絶縁膜、3 4 …不純物拡散層、3 5 ～3 8 …層間絶縁膜、1 0 0 …半導体基板

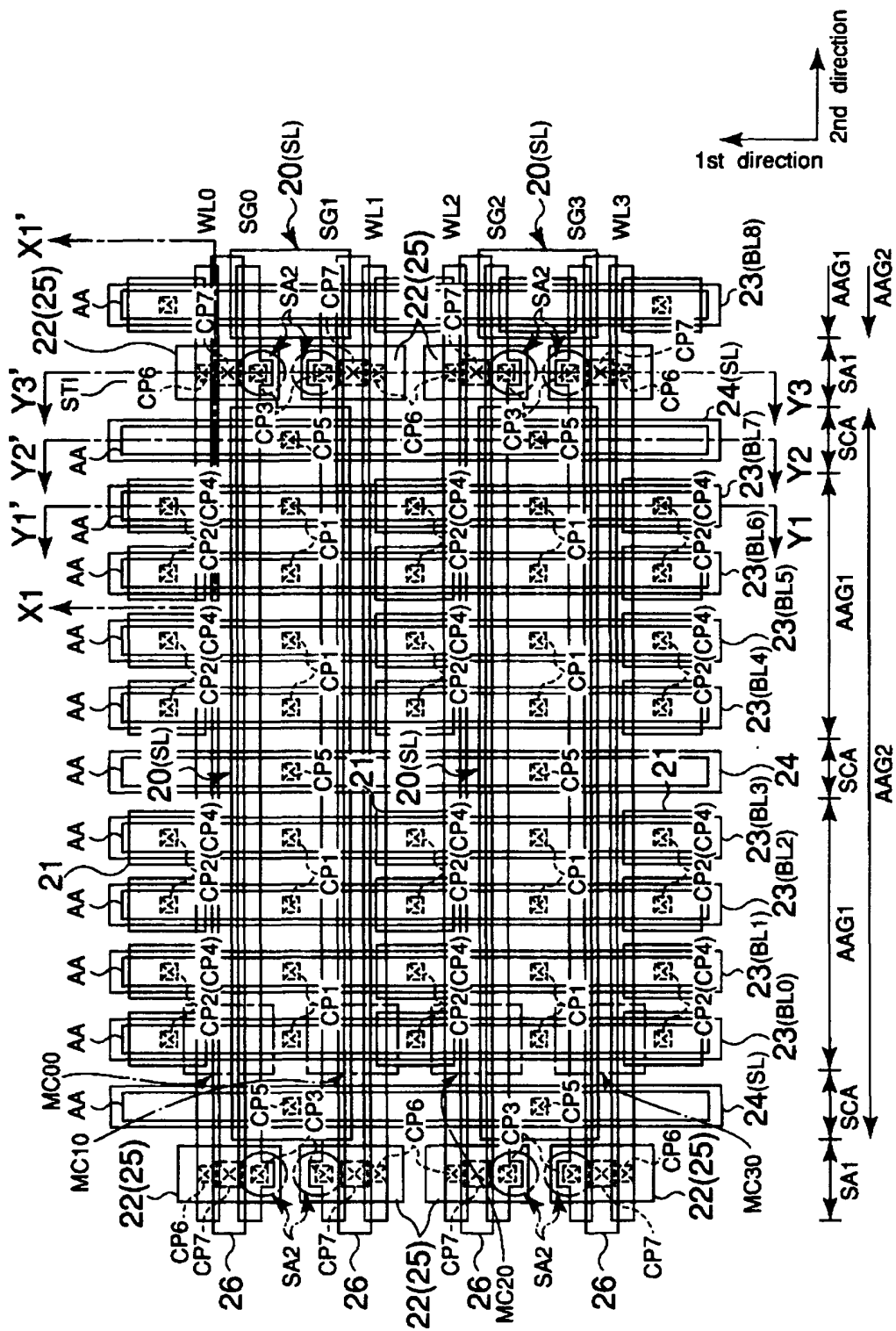
【書類名】

図面

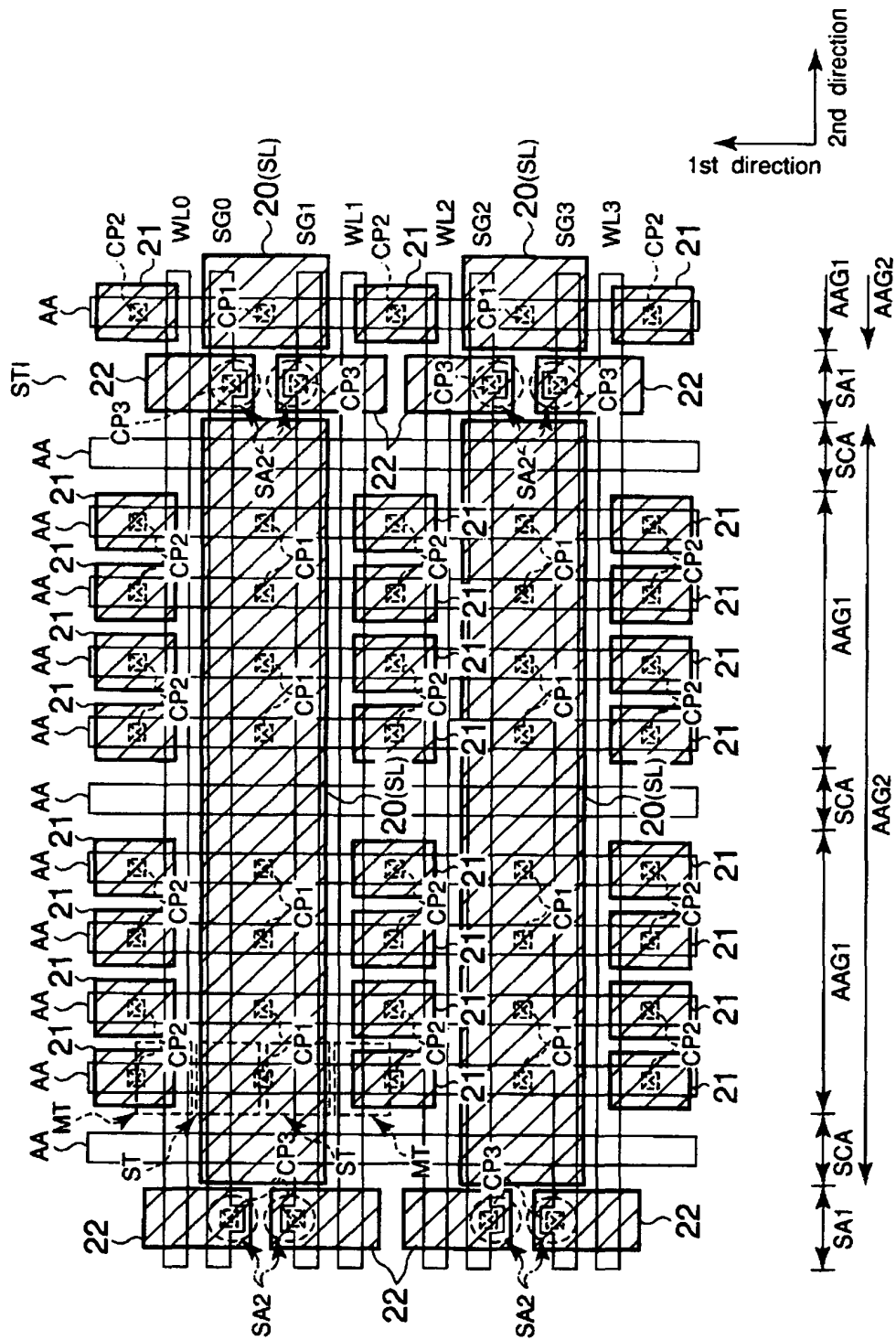
【図 1】



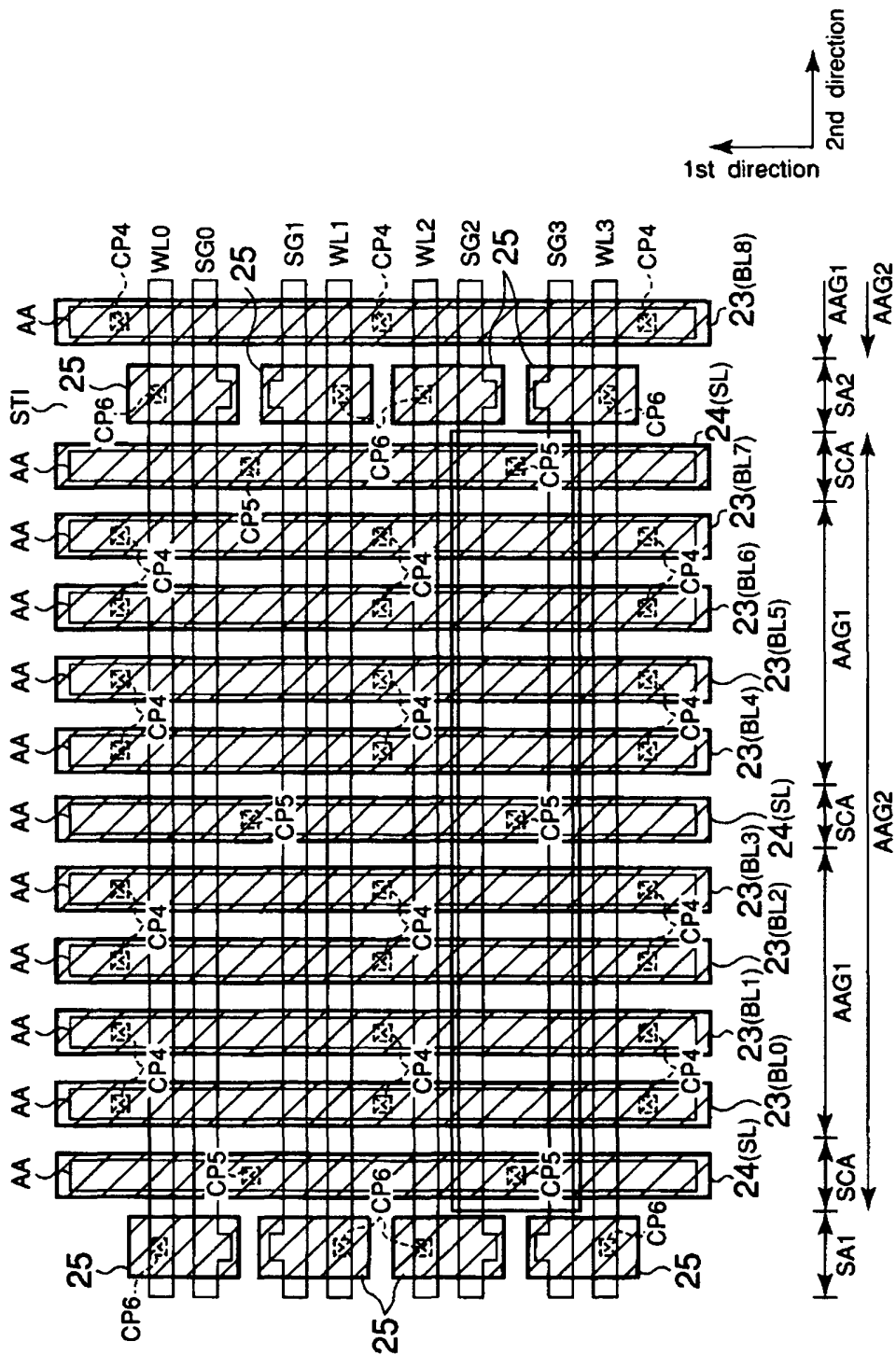
【図 2】



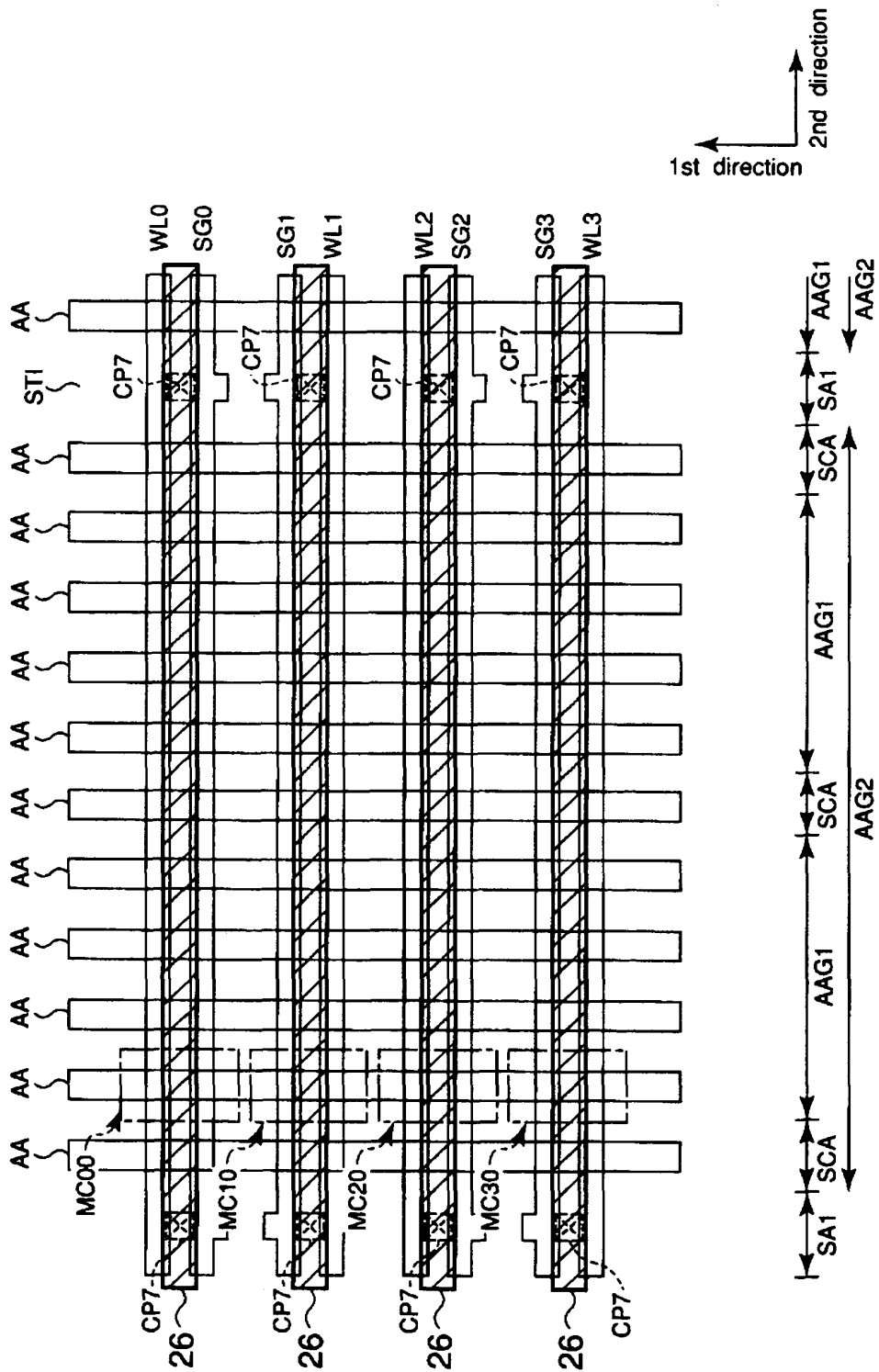
【図 3】



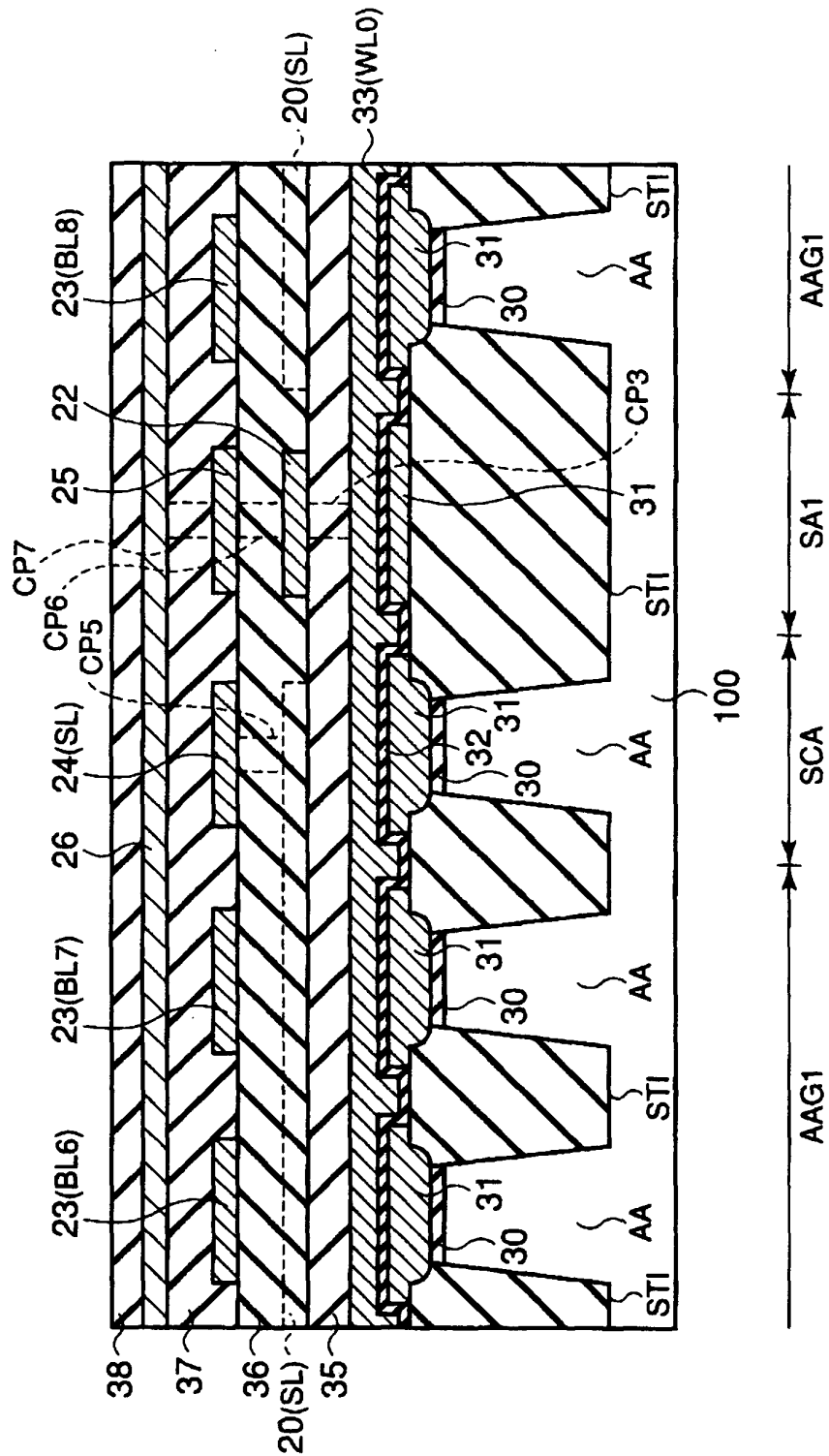
【図 4】



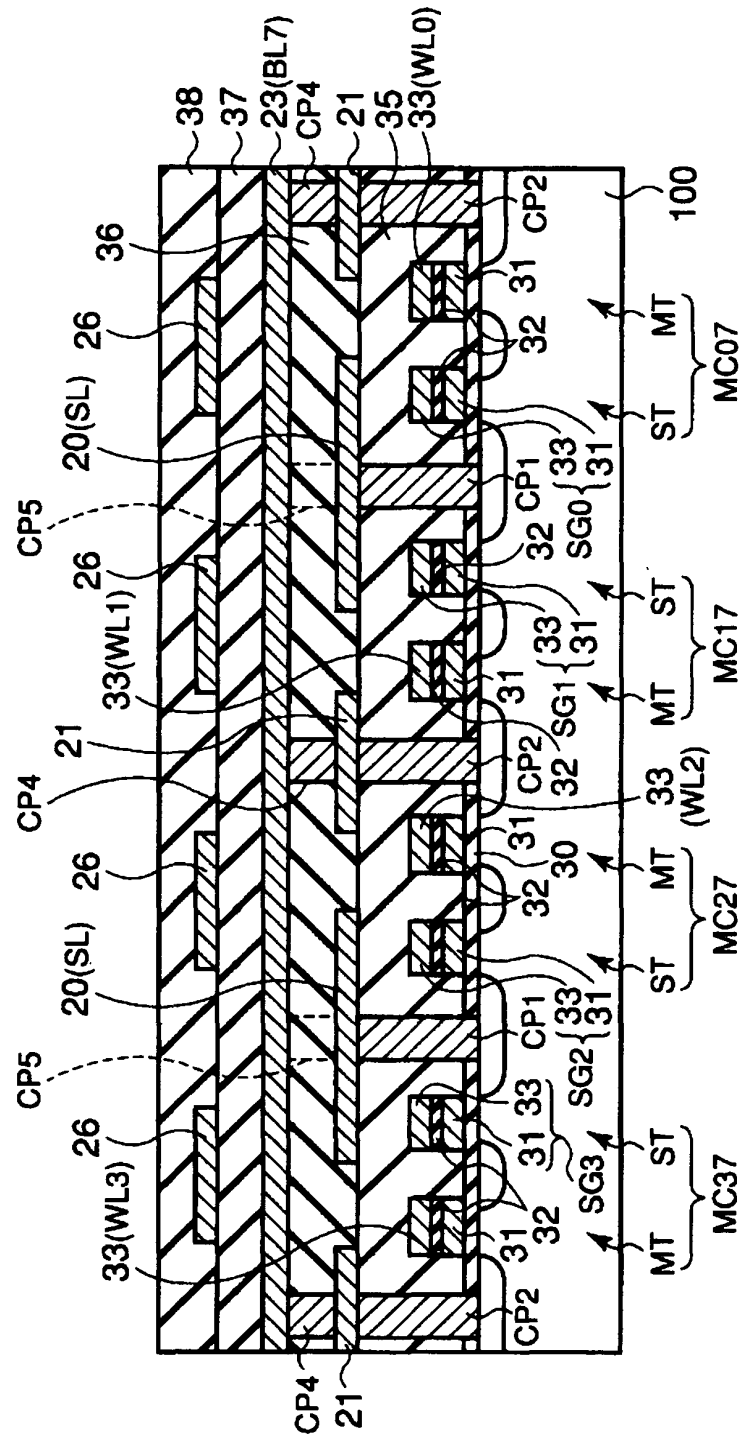
【図 5】



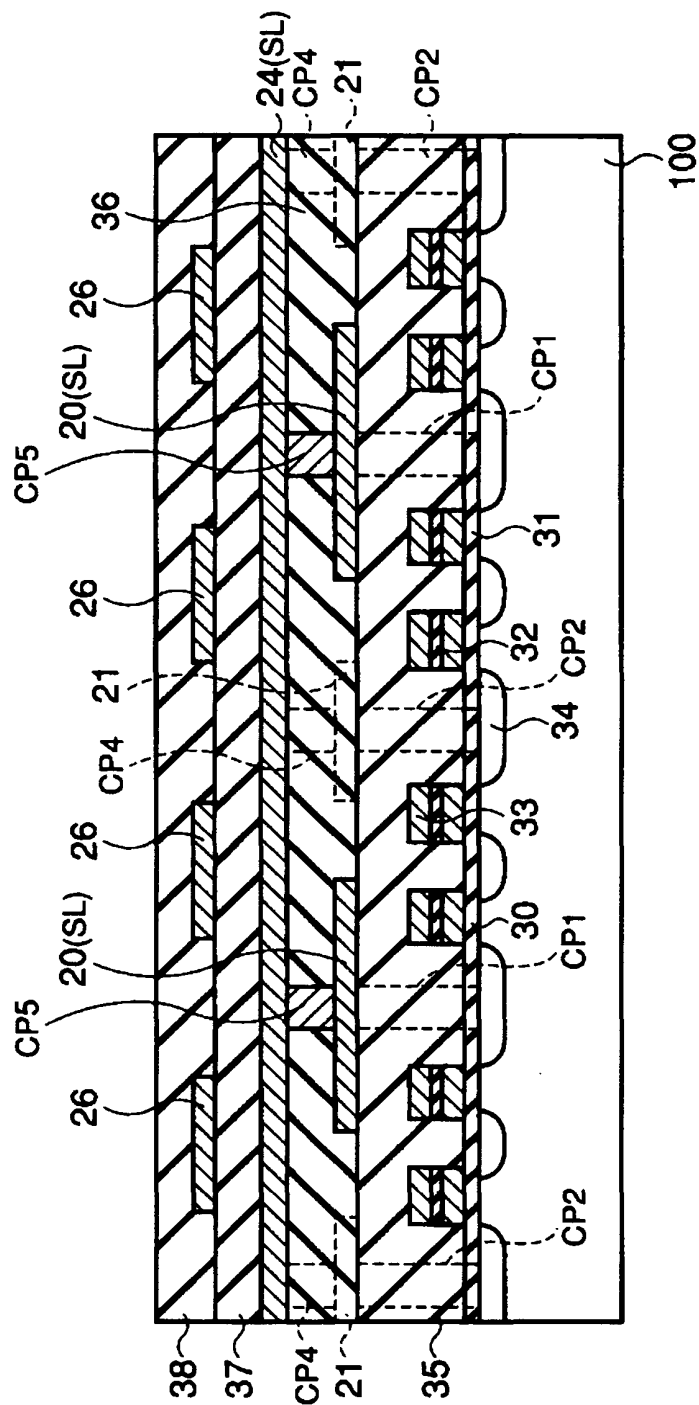
【図 6】



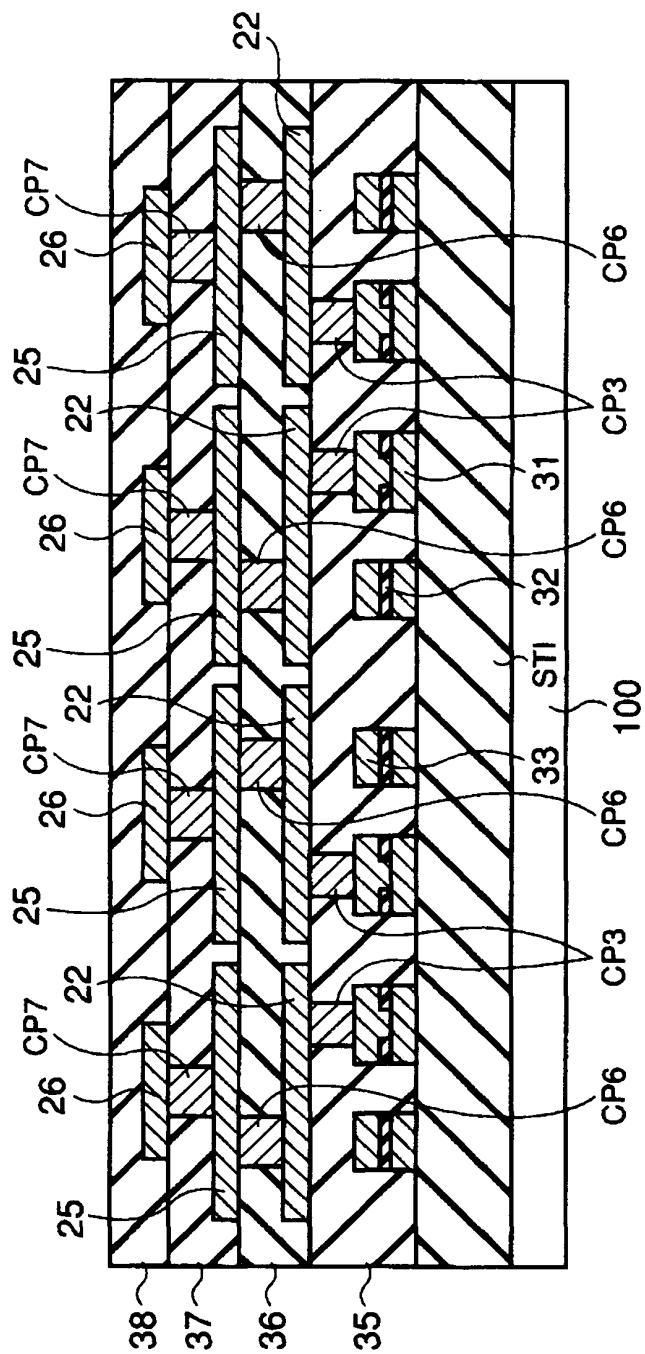
【图 7】



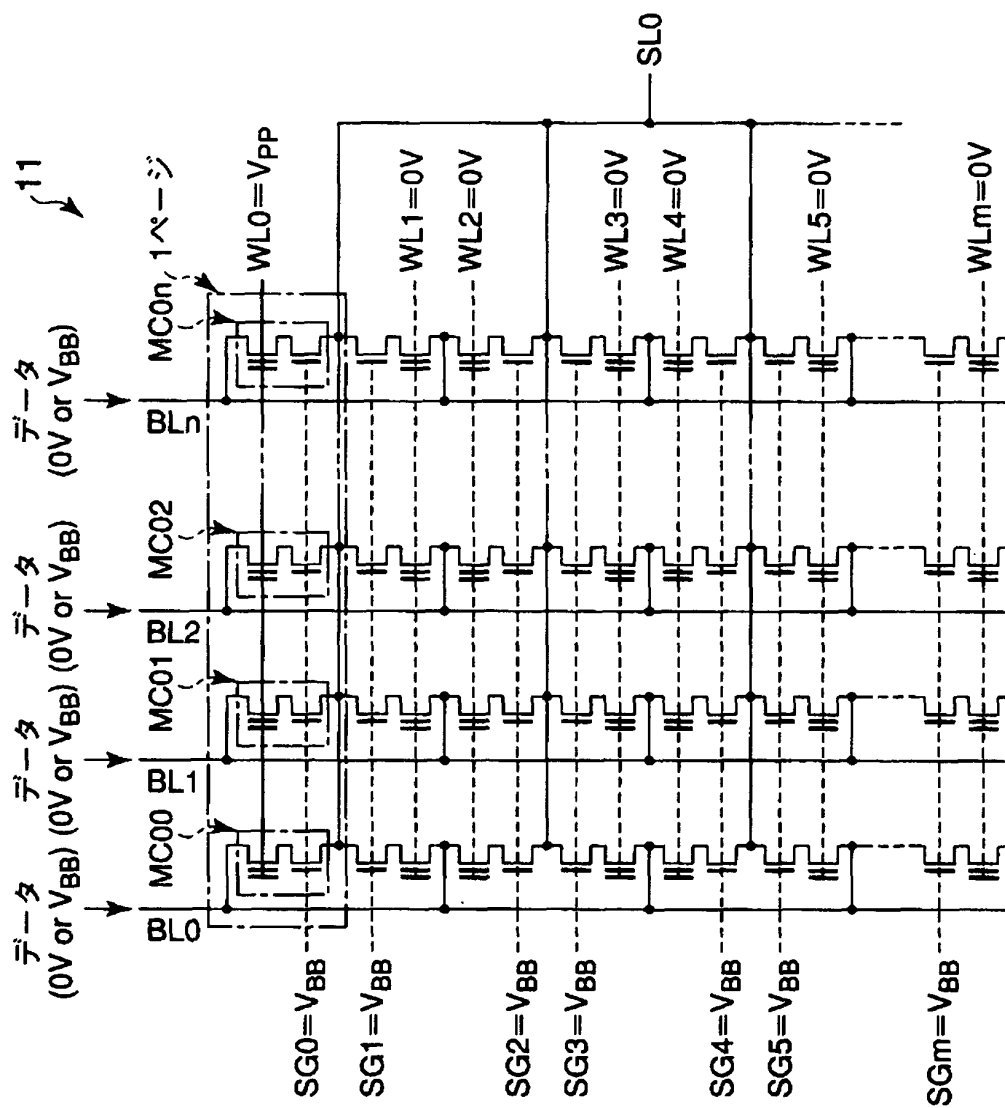
【 図 8 】



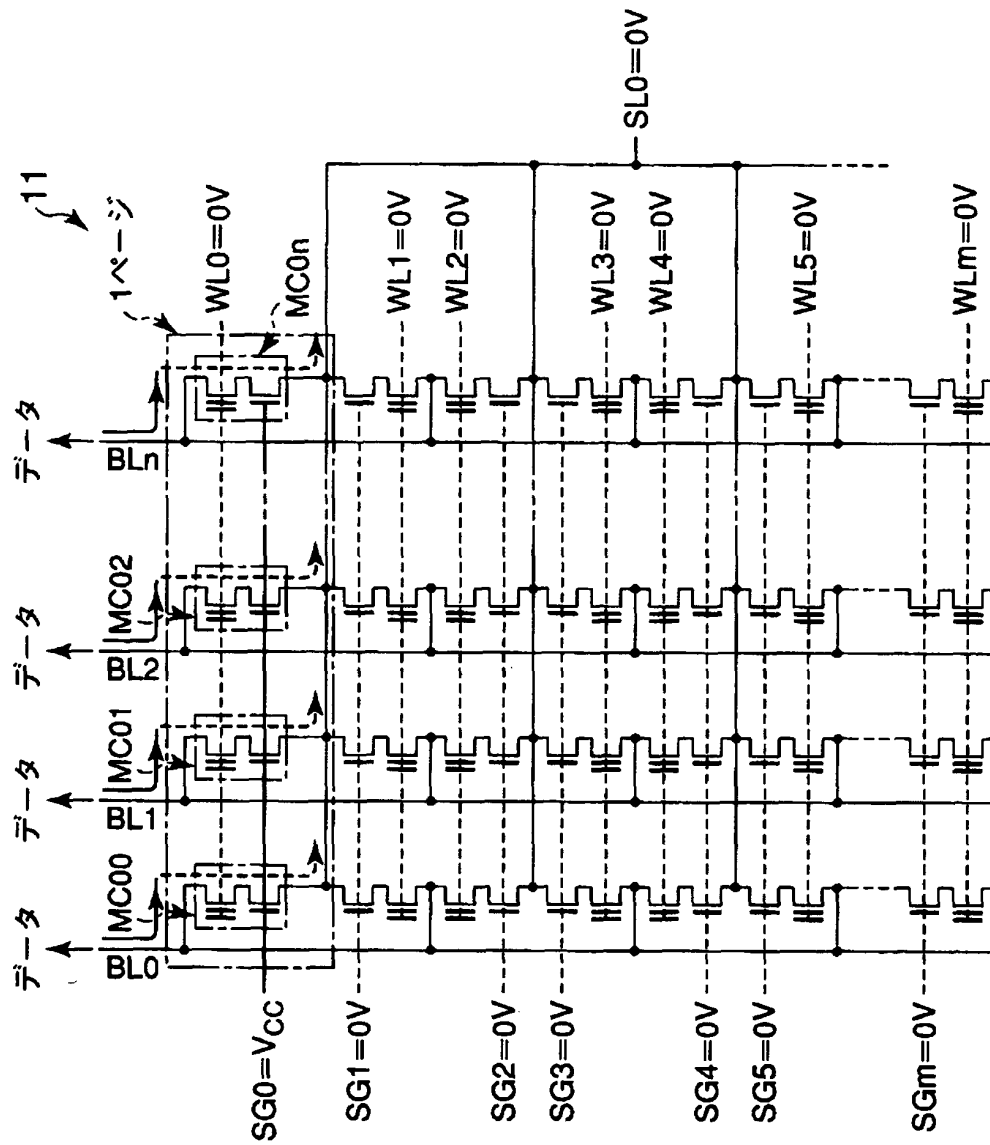
【图9】



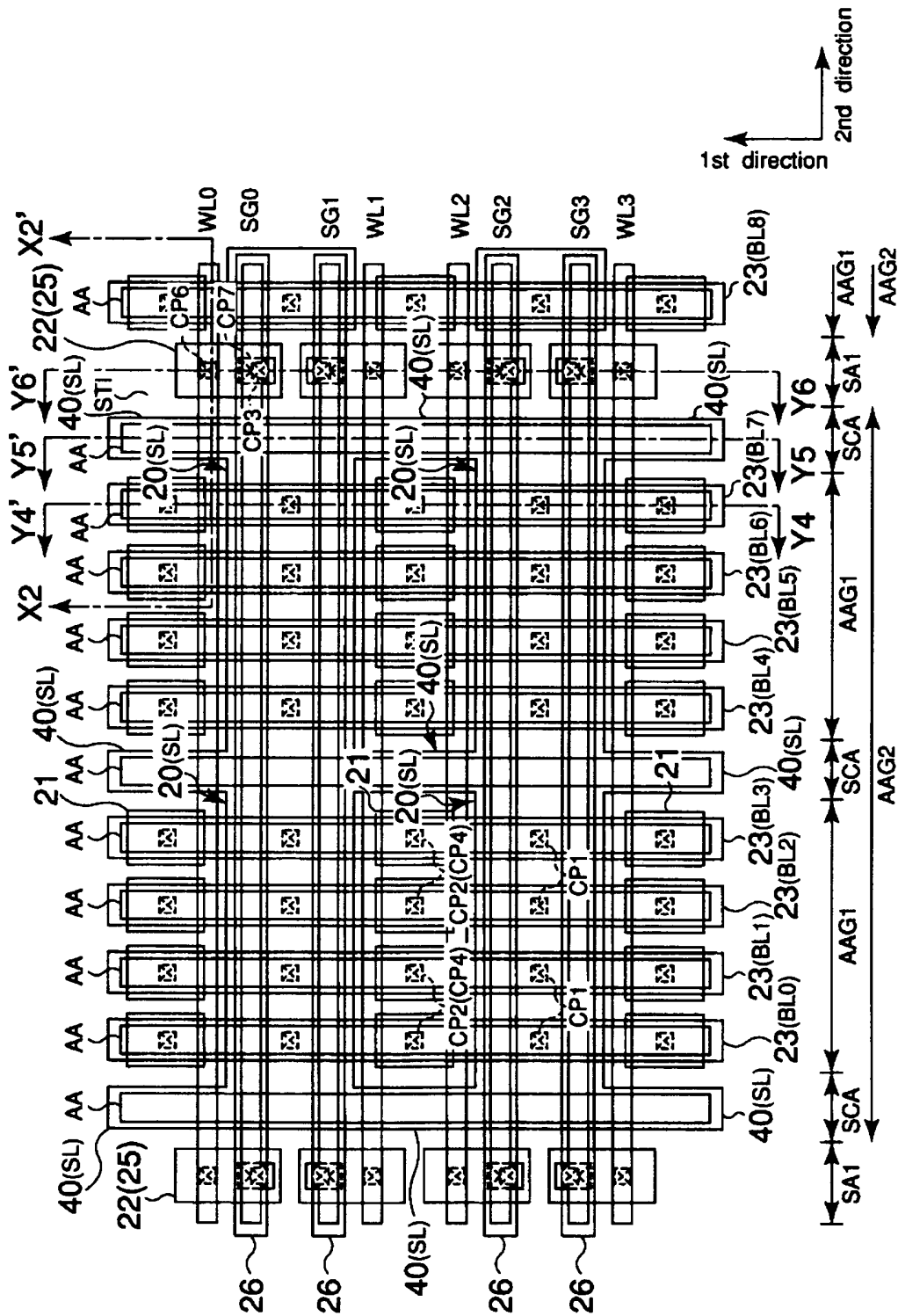
【図 10】



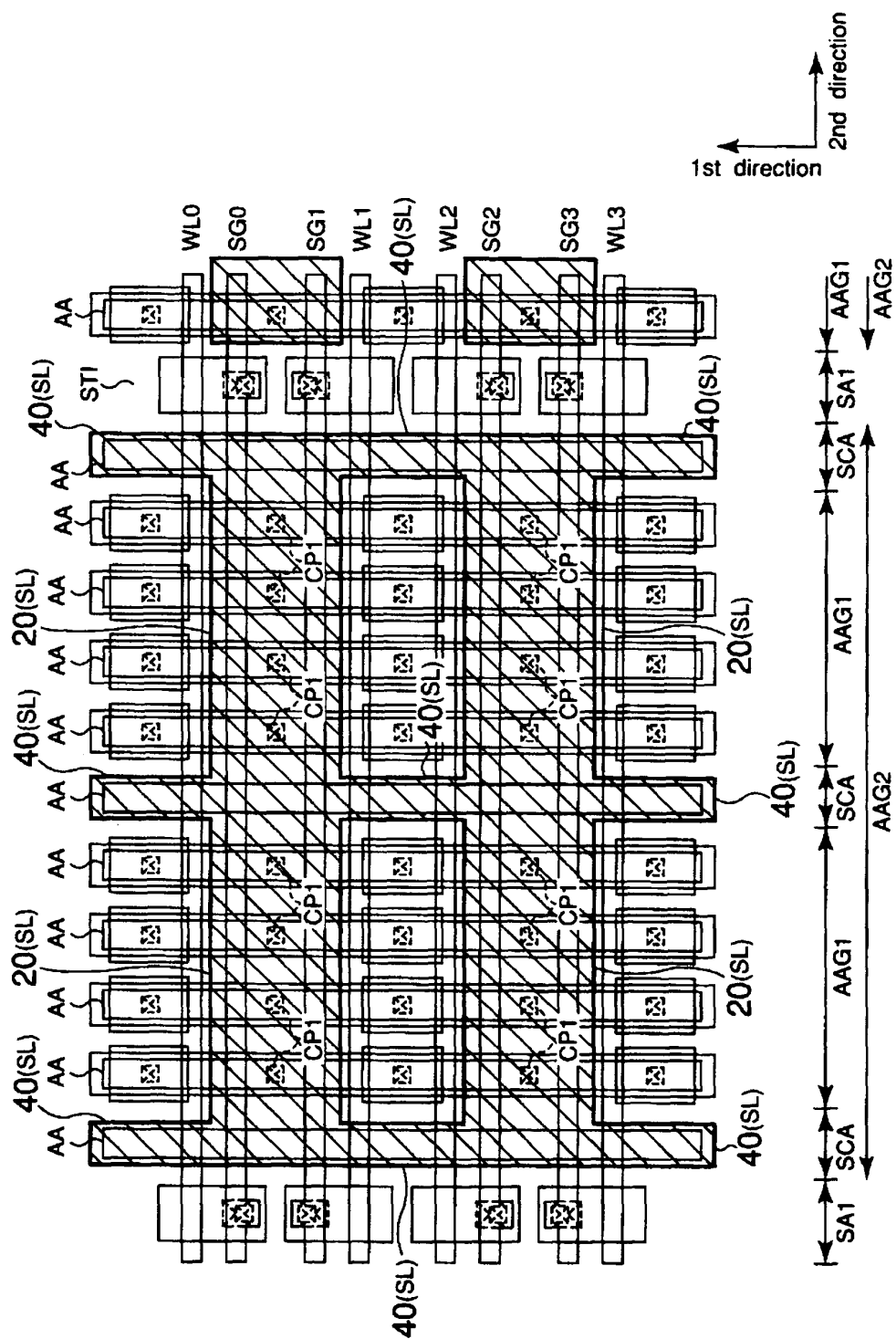
【図 11】



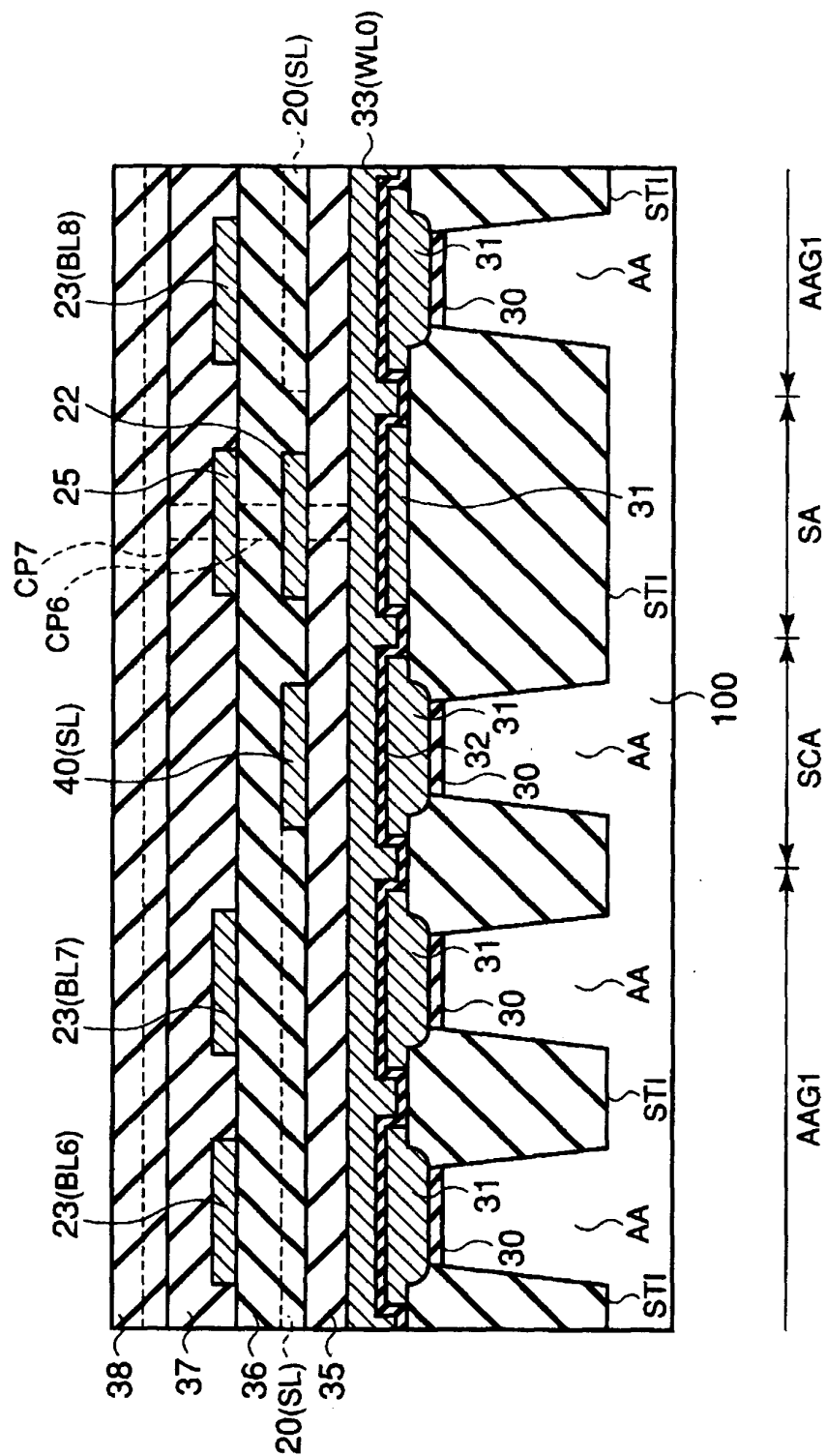
【図 12】



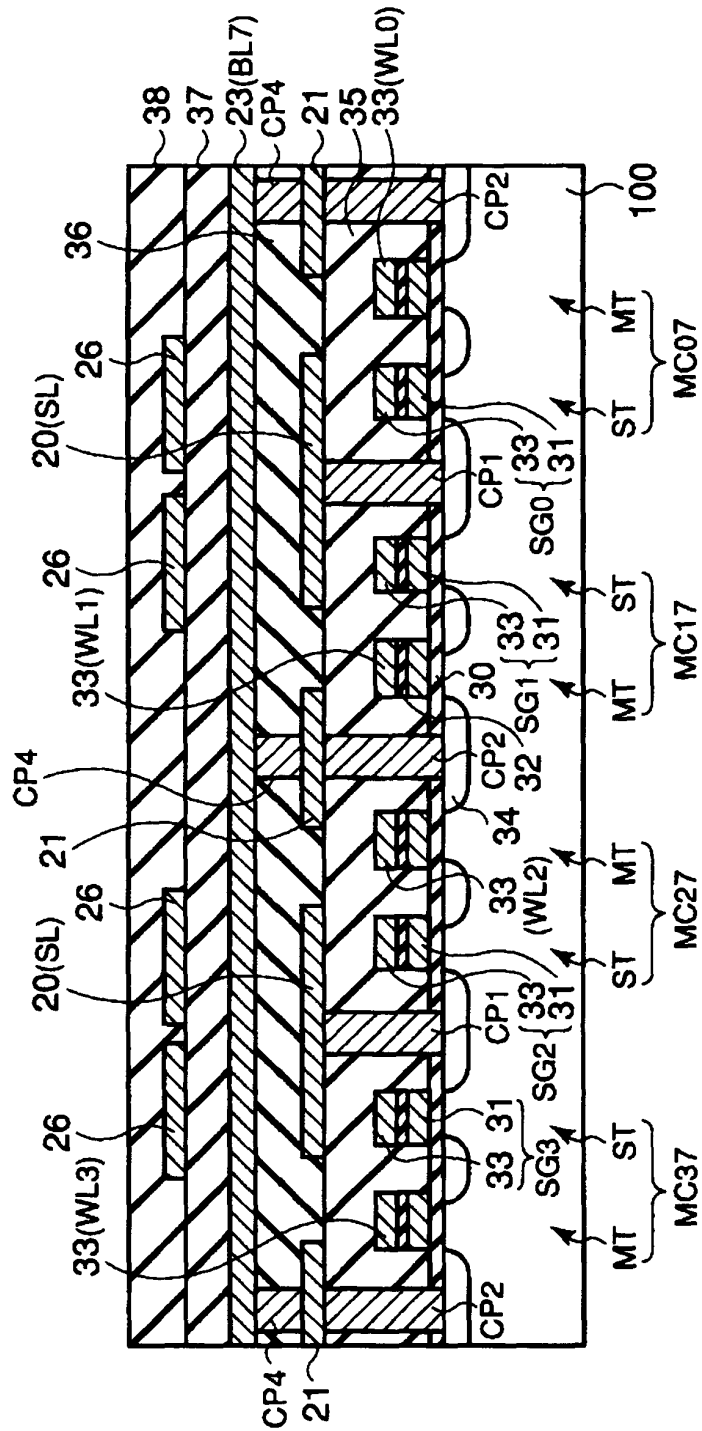
【図 13】



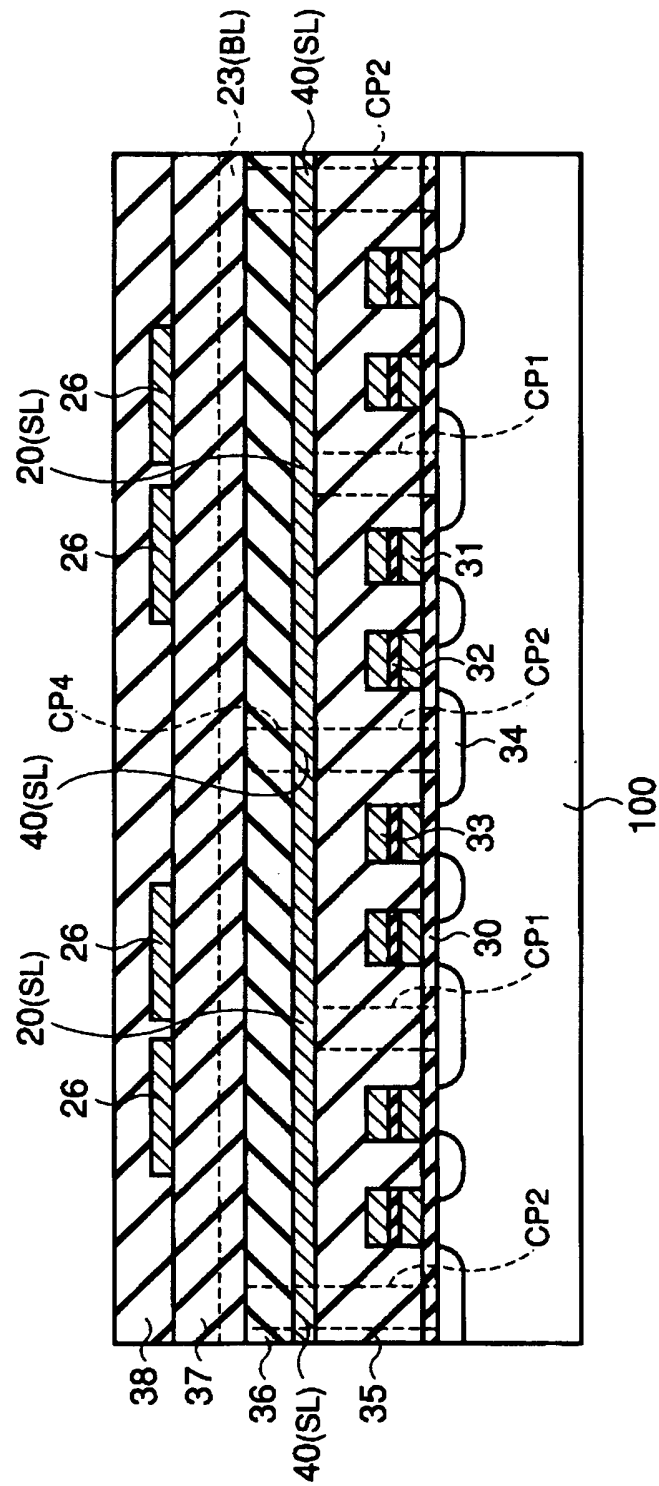
【图 14】



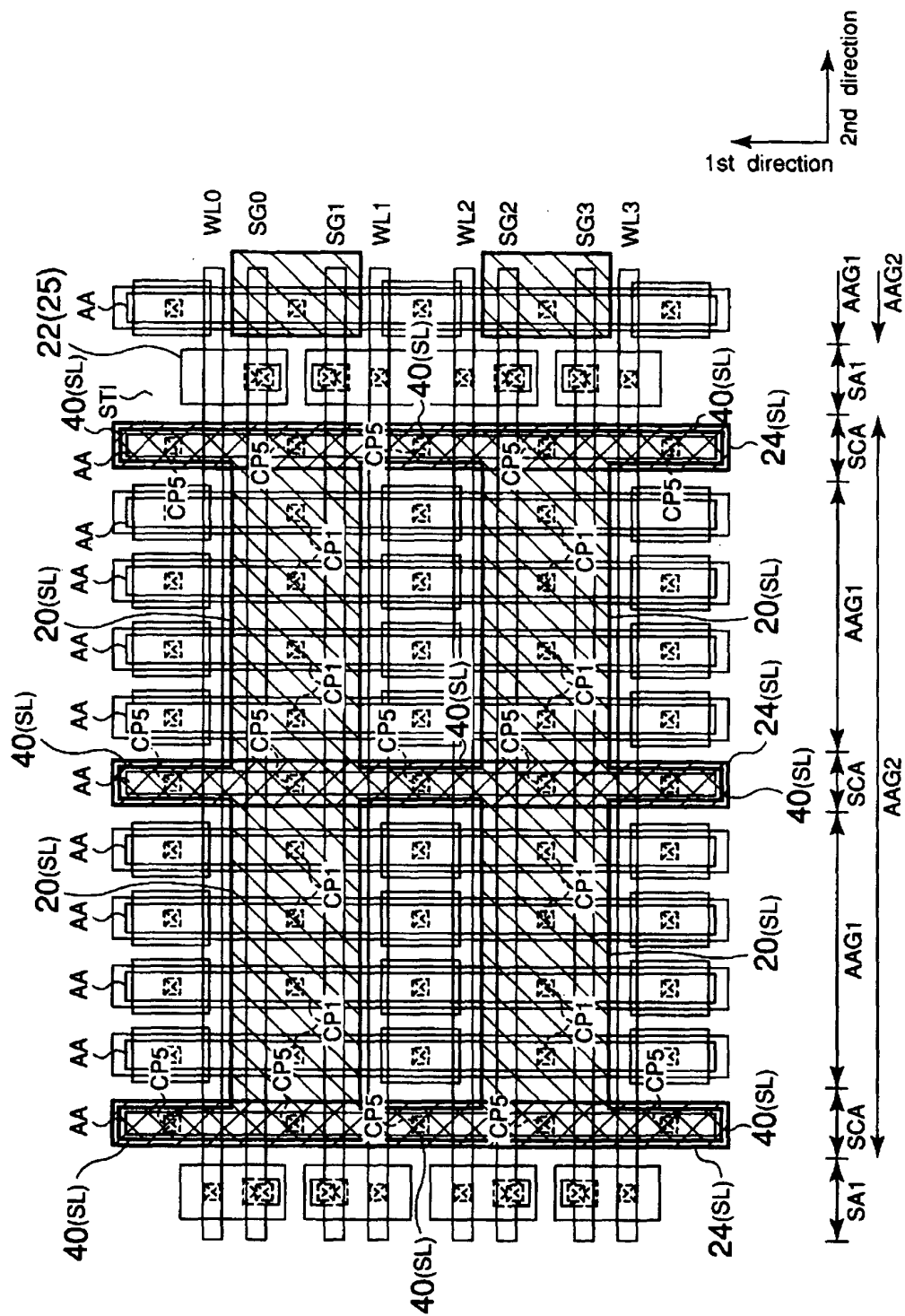
【図 15】



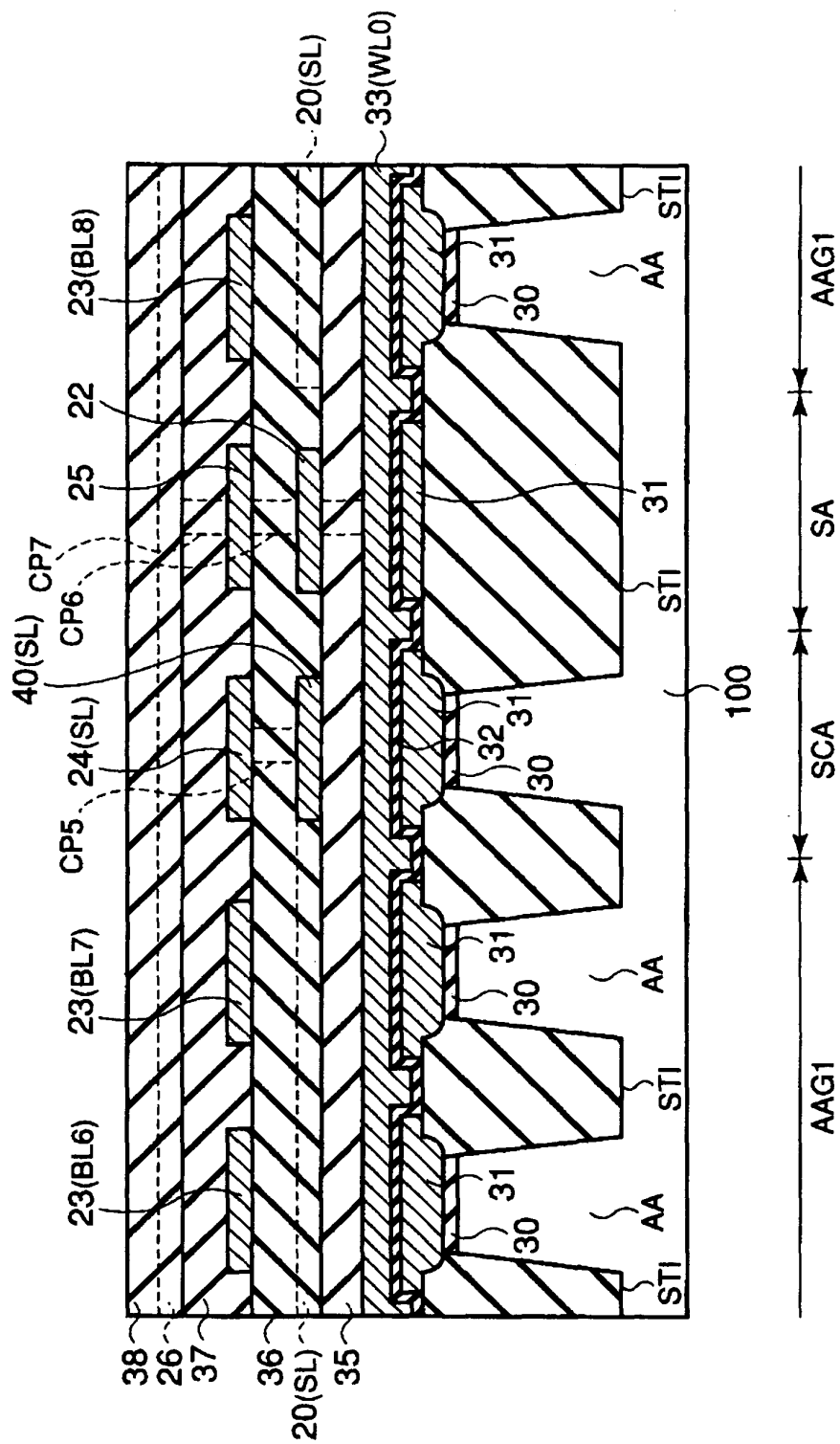
【図 16】



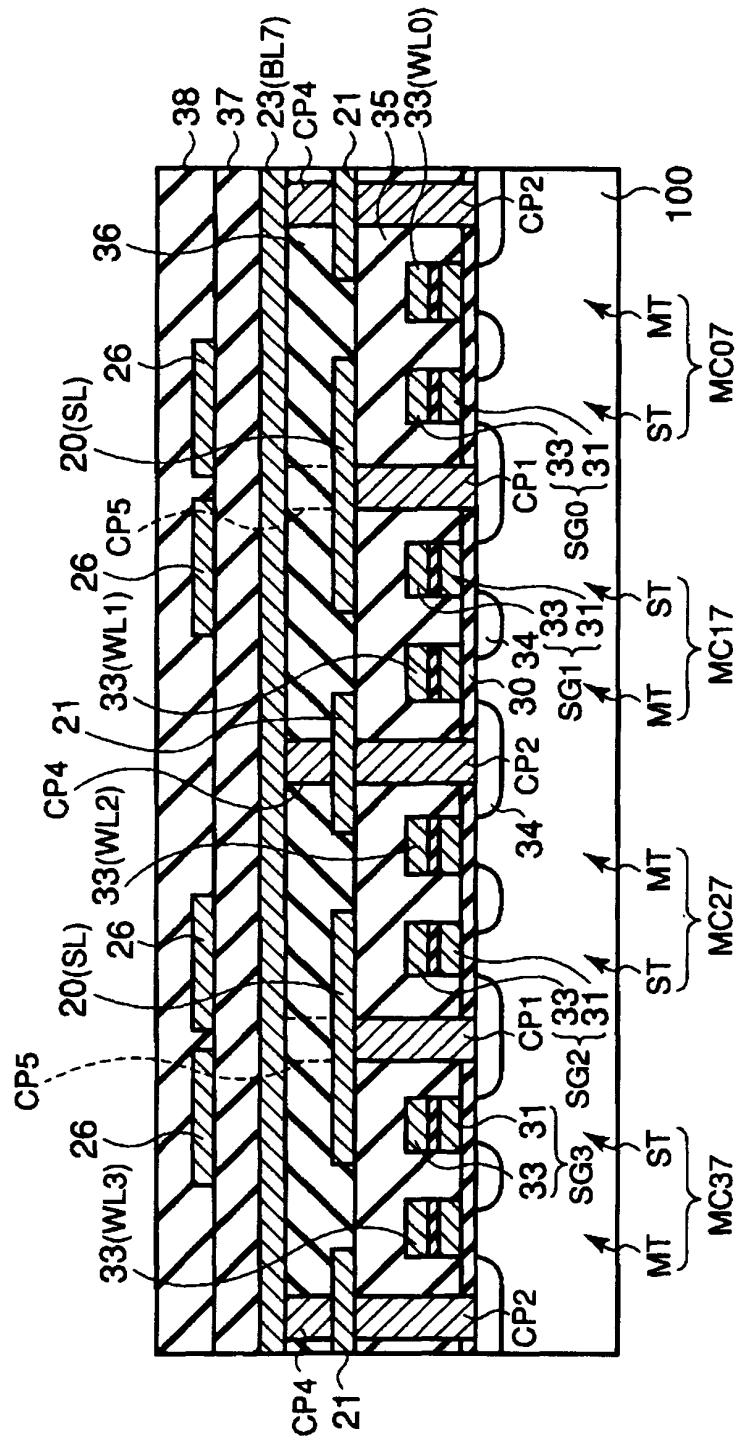
【図18】



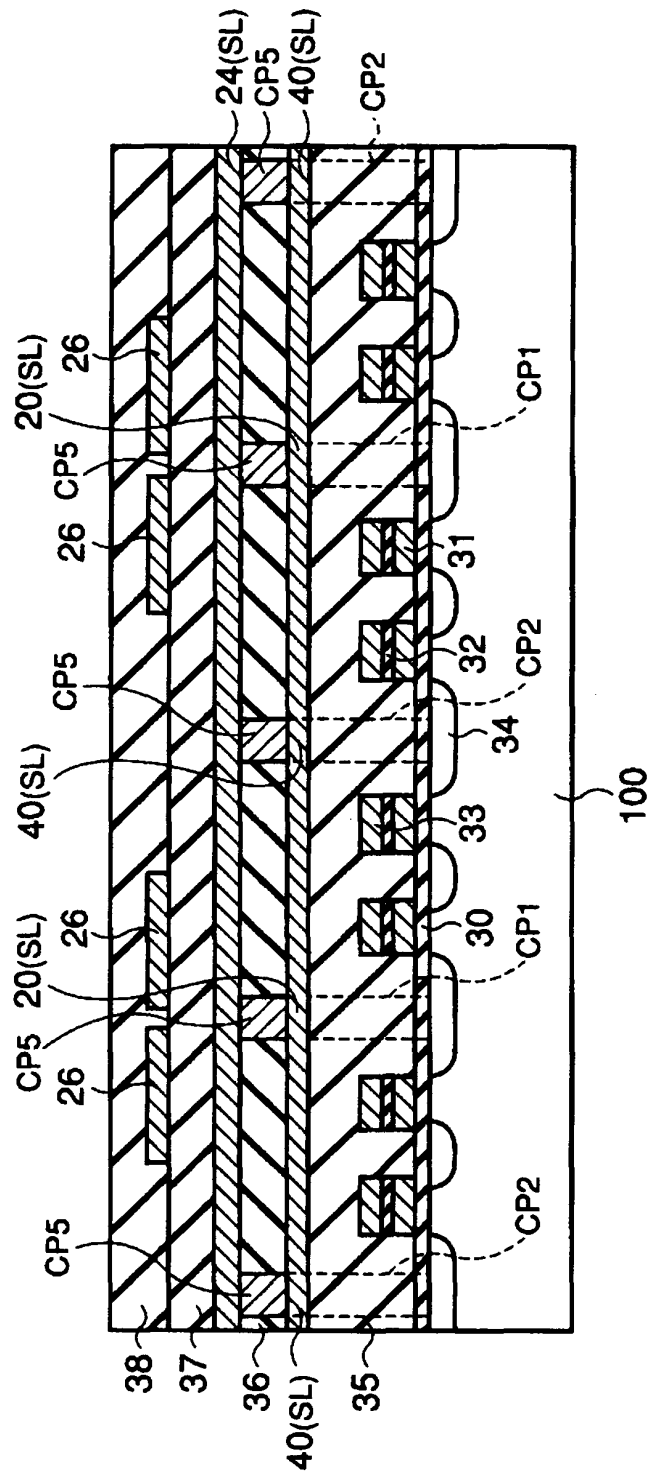
【図 19】



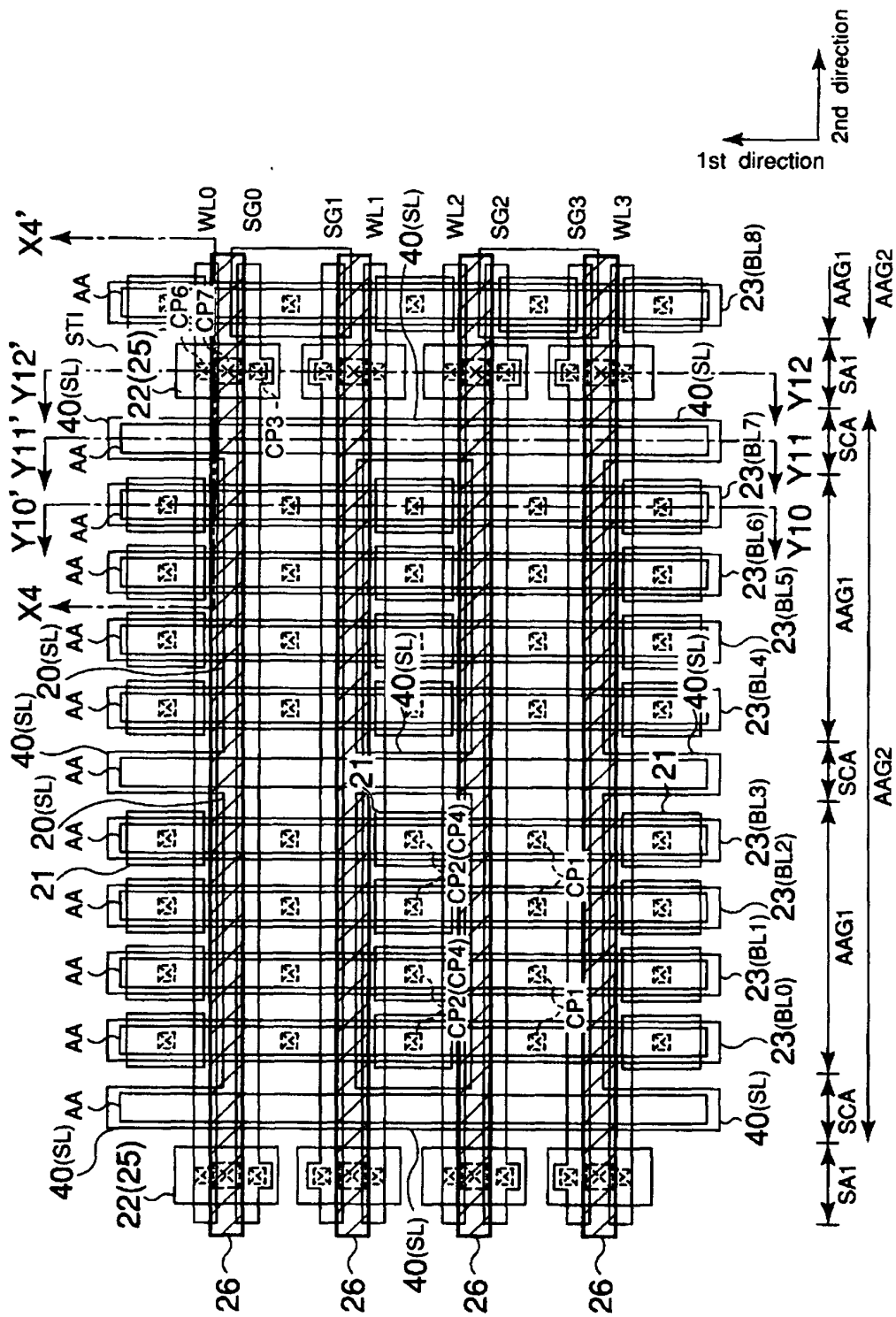
【図 20】



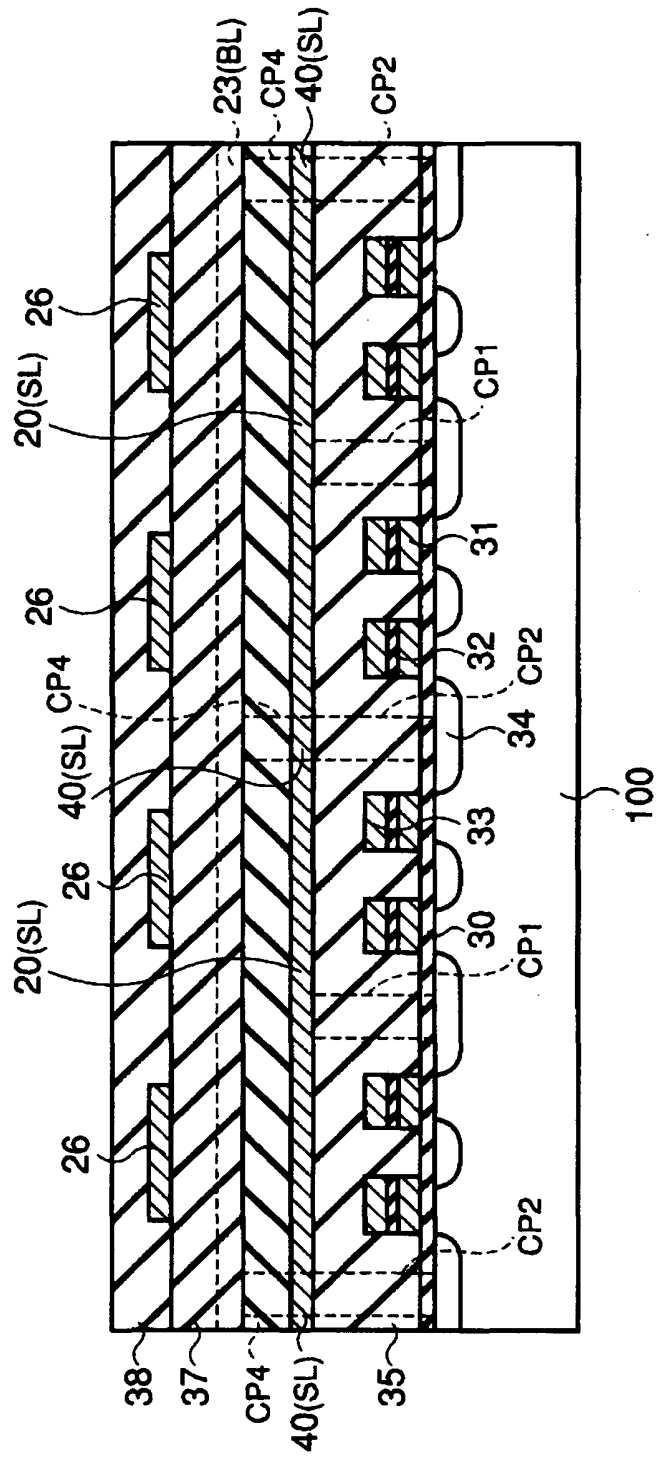
【図 21】



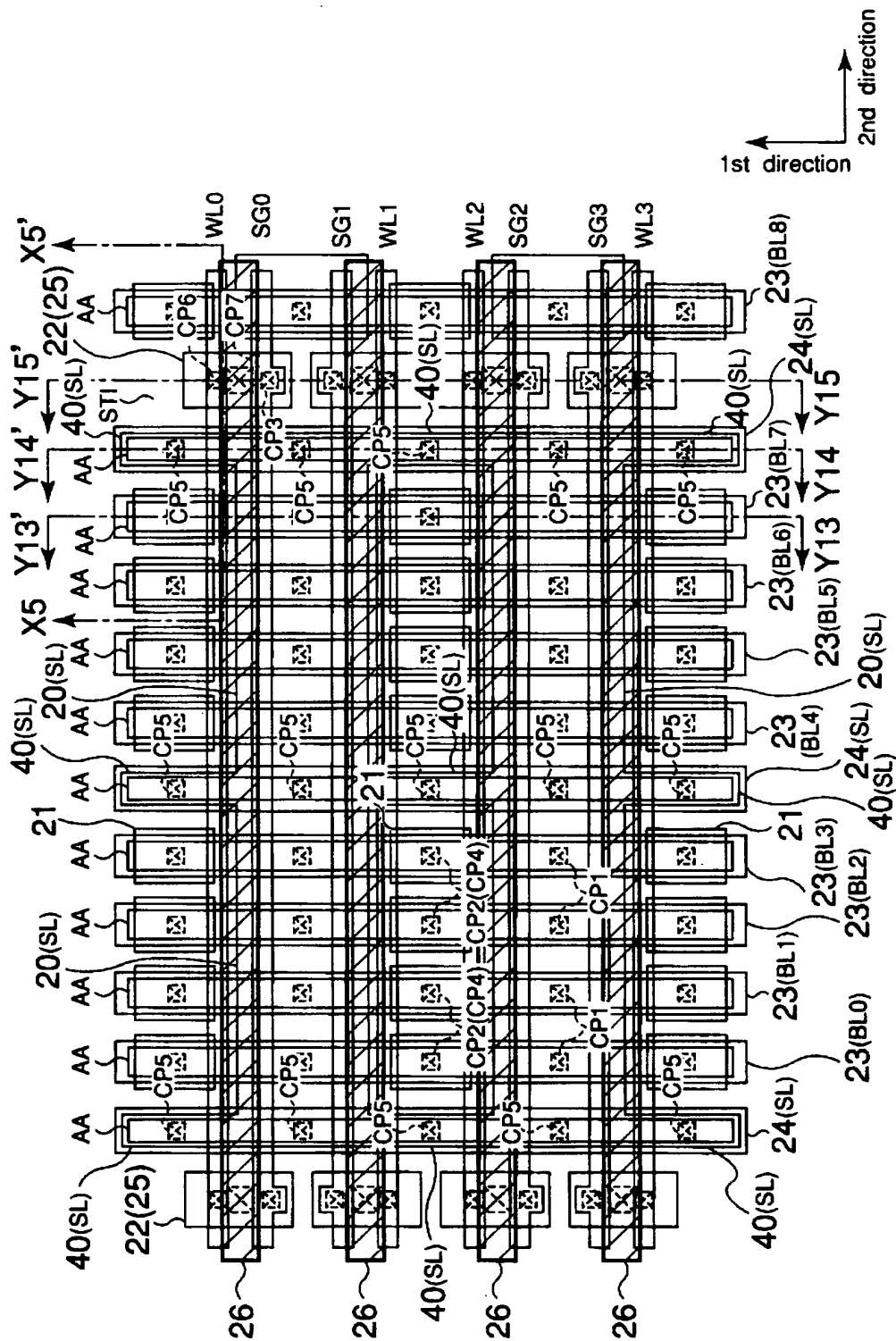
【図 22】



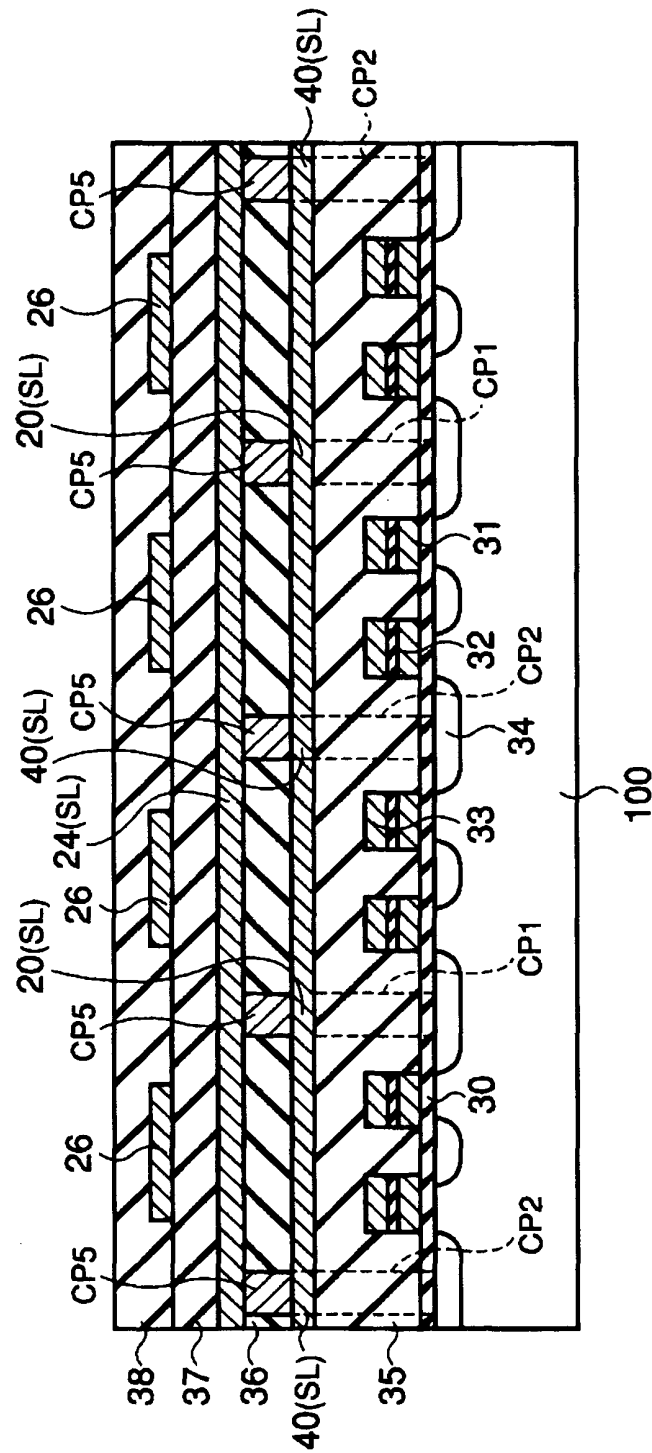
【図 2 3】



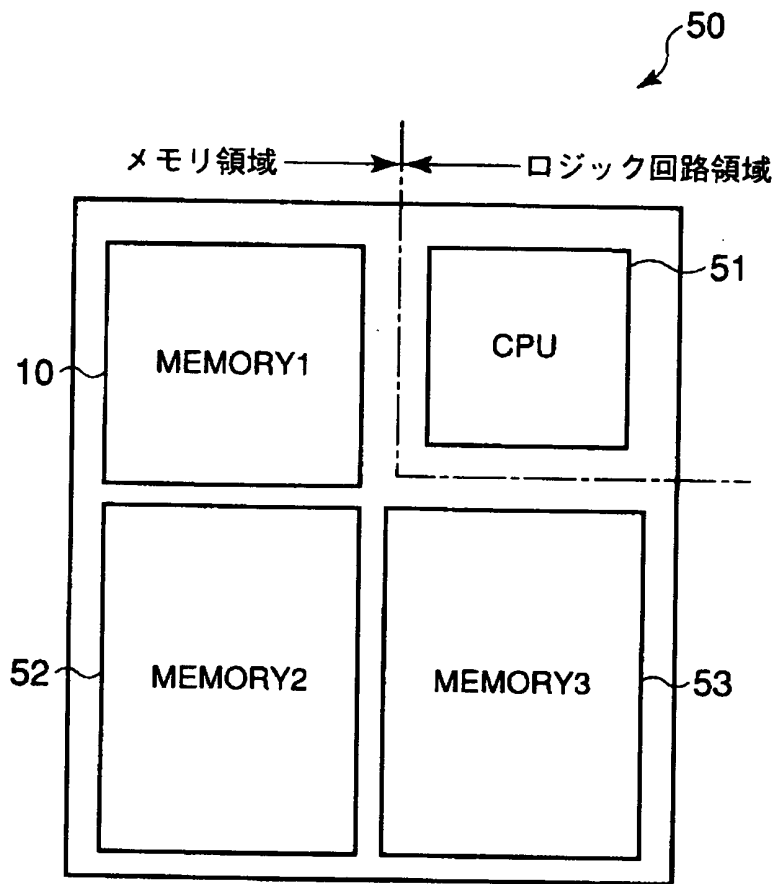
【図 24】



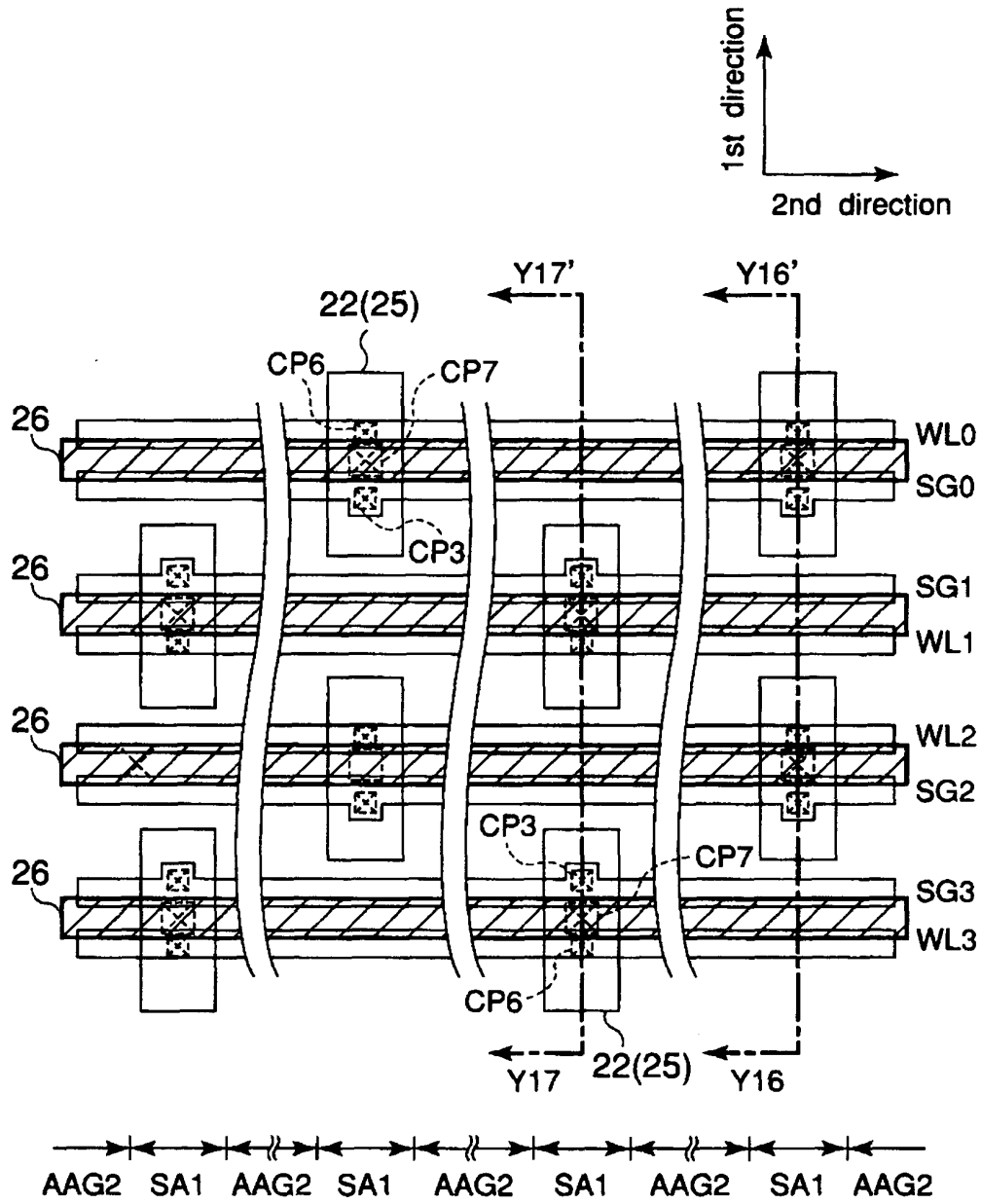
【图 2 5】



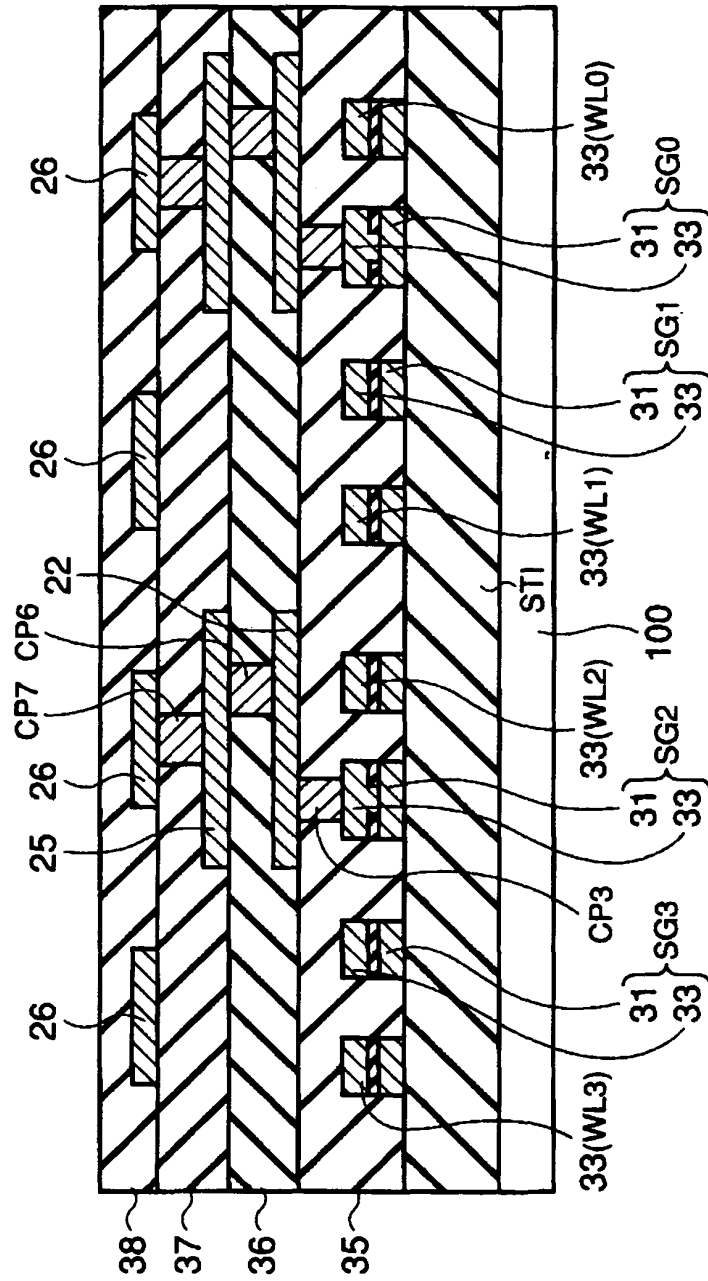
【図 2 6】



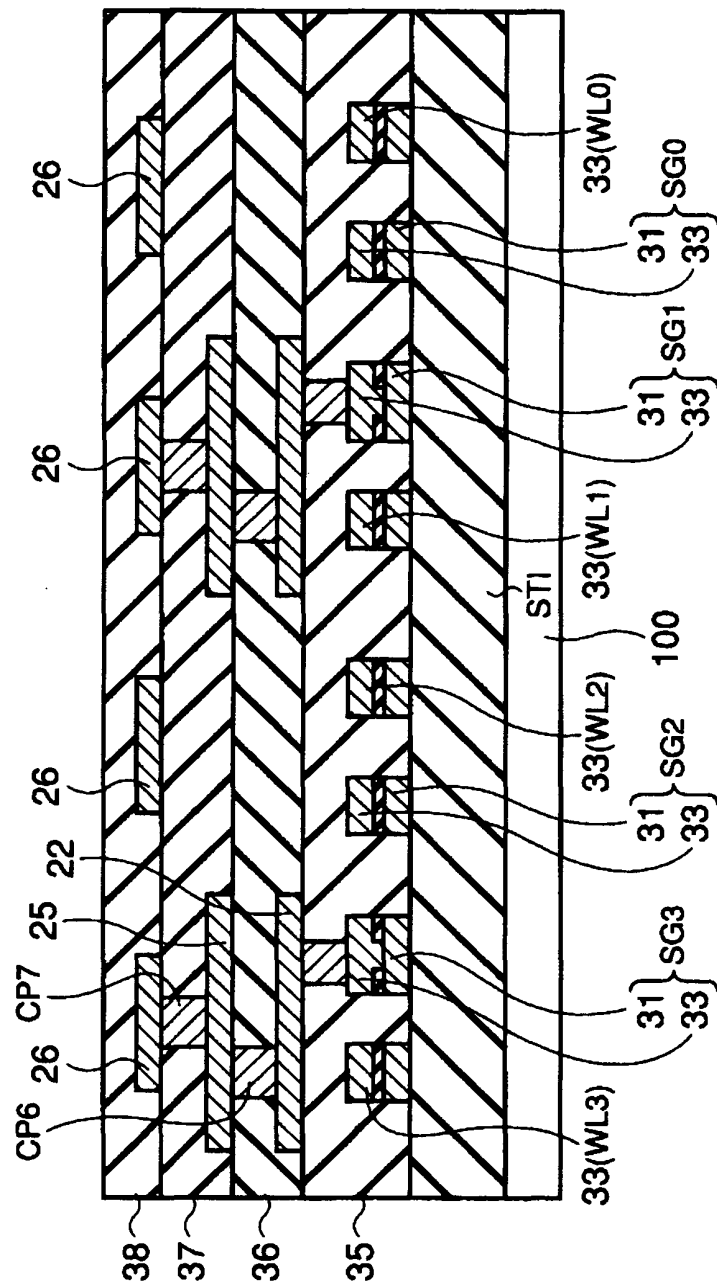
【図 27】



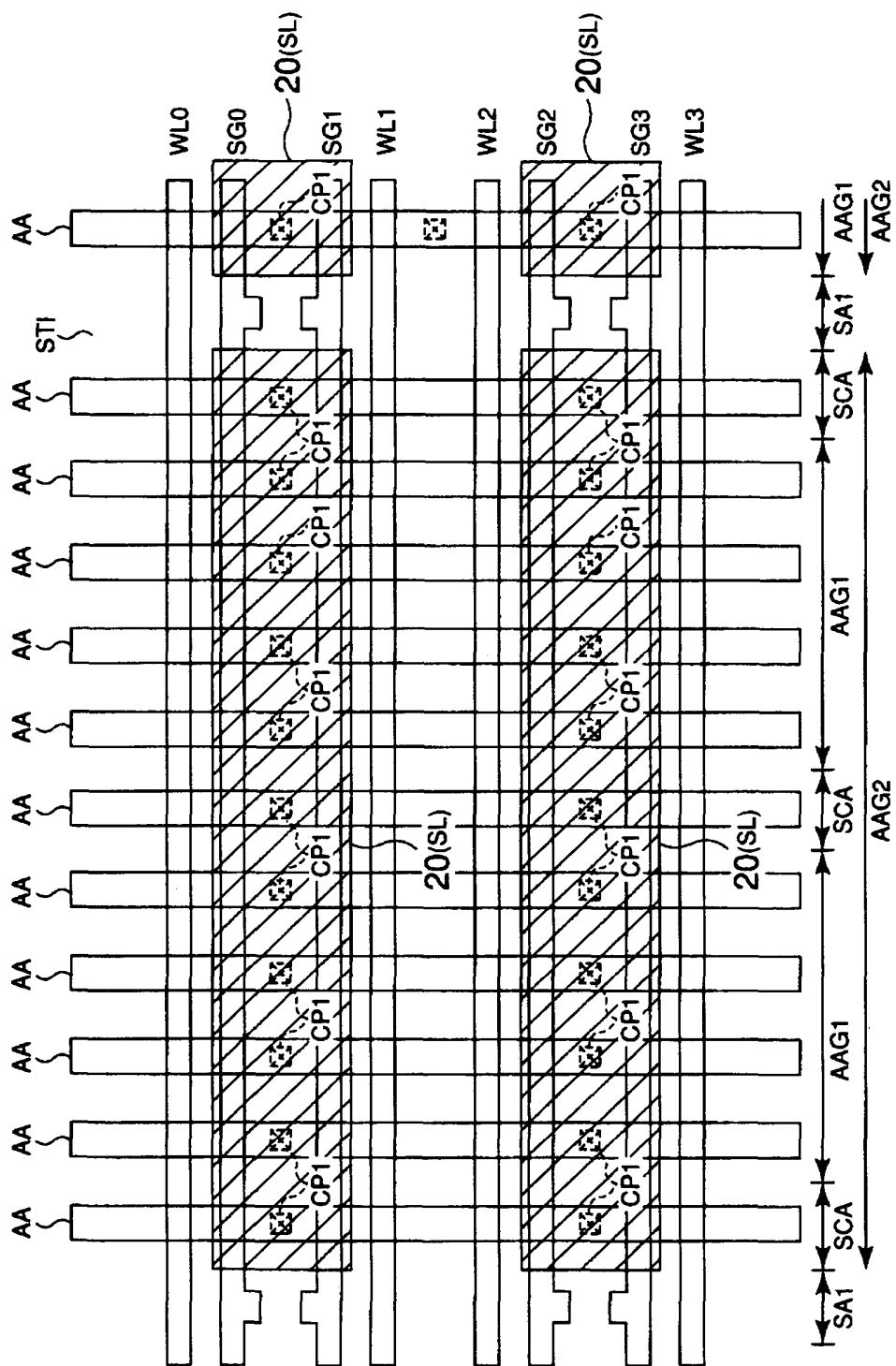
【図 28】



【図 29】



【図 31】



【書類名】 要約書

【要約】

【課題】 動作信頼性を向上できる不揮発性半導体記憶装置を提供すること。

【解決手段】 電荷蓄積層と制御ゲートとを備える第1MOSトランジスタMTと第2MOSトランジスタSTとを含む複数のメモリセルと、列方向で隣接するメモリセル同士が、第1MOSトランジスタMTの電流経路の他端同士、または第2MOSトランジスタSTの電流経路の他端同士を共有するメモリセルアレイ11と、同一行にあるメモリセルの第2MOSトランジスタSTのゲートが共通接続するセレクトゲート線SGと、セレクトゲート線SGのいずれかを選択する第2ロウデコーダ15と、セレクトゲート線SG毎に設けられ、メモリセルの略中央部を通過するようにして行方向に沿って形成され、対応する前記セレクトゲート線SGに電氣的に接続され、且つ第2ロウデコーダ15がセレクトゲート線SGを選択するためのロウ選択信号を伝達する第1金属配線層26とを備える。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝